

Entwurf von Leiterplatten für die Versorgung und Auslesung eines optischen Winkelgebers

Bachelorarbeit

im Studiengang „Elektrotechnik“ vorgelegt von

Oguz Eroglu

am 07.02.2023

an der Fachhochschule Dortmund

Erstprüfer/in: Prof. Dr. Michael Karagounis

Zweitprüfer/in: Felix Schneider

Kurzzusammenfassung

Diese Bachelorarbeit beschreibt den Entwurf von Leiterplatten mit Altium Designer für die Auslesung eines Poldi- Sensors. Die Leiterplatte aus der Betrieblichen Praxis, auf der die Spannungsversorgung des Sensorsystems implementiert wurde, wurde überarbeitet und es wurden zwei Auslesekanäle der Poldi Platine implementiert und getestet. Für die Ausgänge der Spannungsversorgung auf der ersten Platine werden Terminalblöcke verwendet. Die neu entworfenen Leiterplatten mit den Auslesekanälen des Poldi- Sensors können damit verbunden werden, um versorgt zu werden.

Abstract

This Bachelor thesis intends to describe the design of Printed Circuit Boards (PCB) with the Altium Designer program for the readout of a The Poldi Sensor. The research also revises the PCB designed in the framework of a project thesis which implements the power supply off the sensor system. Two readout channels of the Poldi PCB have been implemented and tested. The first board (PCB) uses terminal blocks for output of the power supply. The newly designed PCBs with the channels of the Poldi sensor.

Inhaltsverzeichnis

1 Einleitung	1
2 POLDI	2
2.1 Polarisiertes Licht	2
3 Vorarbeiten aus der Betrieblichen Praxis	3-4
3.1 Erzeugte Spannungen und Ausgänge	5-6
3.2 Bauteile der Spannungsversorgung	6
3.2.1 Shunt Voltage Reference	6-8
3.2.2 Spannungsregler	9-12
3.2.3 TSV914 Operationsverstärker	13-16
3.2.3.1 Multi Part Symbol	17-18
3.2.4 AD780BRZ	18-19
3.2.5 Eingangsbuchse	20
3.2.6 Terminalblock	21
4 BOM (Bill of Material) der Spannungsversorgung	22
5 Bestückungsplan der Spannungsversorgung	23
6 Korrektur der Spannungsversorgung aus der Betrieblichen Praxis	24
7 Level Shifter	25-26
8 Level Shifter Aufbau	26-28
9 BOM des Level Shifters	29
10 Bauteile des Level Shifters	30
10.1 TSV911AIDCKR	30
10.2 NLASB3157DFT2G	31
11 Analog- Digitalwandler Leiterplatte	32-33
12 BOM Analog- Digitalwandler Platine	34
13 Bauteile der Analog- Digitalwandler Platine	35
13.1 AD7980	35-38
13.2 AD780	39
13.3 AD5544	40-41
13.3.1 AD5544 Berechnung	42-50

13.3.2 DAC- Einstellung	51-53
14 Altium	54
14.1 Symbolgenerierung	54-55
14.2 Wire	55
14.3 Fehler Analyse Schematic	56
14.4 PCB erstellen	57
14.5 Bauteile Import vom Schematic ins PCB	57
14.6 Footprint erstellen	58
14.7 Designe Rule Check (DRC)	59
14.8 PCB Routing	60-61
14.9 PCB zuschneiden	62
14.10 Bohrlöcher	62
15 Zusammenfassung	63
16 Quellenverzeichnis	64-65

Abbildungsverzeichnis

Abbildung 1: Funktionsprinzip und Auslesung des POLDI Sensors	2
Abbildung 2: Polarisation von unpolarisiertem Licht durch einen Polarisationsfilter	2
Abbildung 3: Schaltungen für die Generierung benötigter Versorgungsspannungen	3
Abbildung 4: Schaltungen für die Generierung benötigter Referenzspannungen	3
Abbildung 5: In Altium Designer überarbeiteter Schaltplan für die Spannungsversorgung und Referenzsignale	4
Abbildung 6: Terminalblöcke für den Anschluss der Versorgungs- und Referenzspannungen	6
Abbildung 7: Im Datenblatt empfohlene Beschaltung der Shunt-Spannungsreferenz	8
Abbildung 8: Im Projekt gewählte Beschaltung der Shunt- Spannungsreferenz	8
Abbildung 9: Auszug des Projektschaltplans mit der Beschaltung der LDO-Spannungsregler ICs	9
Abbildung 10: Spannungsartiger Anstieg- und Abfall des Laststroms und Einfluss auf die LDO-Ausgangsspannung	10
Abbildung 11: Beschaltung des LDO-Spannungsreglers für die 5V und 2,5V Spannungsversorgung	12
Abbildung 12: Beschaltung des LDO-Spannungsreglers für die 3,3V Spannungsversorgung	12
Abbildung 13: Symbol des TSV914AIDR Operationsverstärker Bausteins	13
Abbildung 14: Schaltplan zur Generierung der Spannung RELNEGREF	14
Abbildung 15: Schaltung zur Generierung der Spannungen VREFTIA und 1V_DGND	15
Abbildung 16: Schaltung zur Erzeugung von belastbaren	

Referenzspannungen _____	15
Abbildung 17: Darstellung einer Multi- Part Komponente _____ im Projektfenster _____	18
Abbildung 18: Schaltung zur Generierung der _____ Spannung RELNEGREF _____	18
Abbildung 19: Bauteilsymbol der Eingangsbuchse laut Datenblatt ____	20
Abbildung 20: Erstelltes Bauteilsymbol für _____ die Verwendung in Altium Designer _____	20
Abbildung 21: Bauteilesymbole der Terminalblöcke für die _____ Verwendung in Altium Designer _____	21
Abbildung 22: Top Layer der Platine für die Spannungsversorgung _	23
Abbildung 23: Bottom Layer der Platine für die _____ Spannungsversorgung _____	23
Abbildung 24: Veranschaulichung der kurzen Verbindungen _____	24
Abbildung 25: Layout der Level- Shifter Platine _____	27
Abbildung 26: Schaltbild der Levelshifter-Schaltungen _____ in Altium Designer _____	28
Abbildung 27: Schaltung zur Generierung der LevelShifter-Pegel ____	30
Abbildung 28: Schaltsymbol des Multiplexers laut Datenblatt _____	31
Abbildung 29: Schaltsymbol des Multiplexers in Altium Designer ____	31
Abbildung 30: Schematic der Analog/ Digital Wandlungs Platine ____	32
Abbildung 31: Layout der Analog/ Digital Wandlungs Platine _____	33
Abbildung 32: Im Datenblatt vorgeschlagene Beschaltung des ADC _	36
Abbildung 33: Im Projekt verwendete Beschaltung des ADC _____	36
Abbildung 34: Grenzfrequenz- Diagramm _____	37
Abbildung 35: Beschaltung der Bandgapspannungsreferenz _____ laut Datenblatt _____	39
Abbildung 36: Beschaltung der Bandgapspannungsreferenz _____ im Altium Designer Projekt _____	39
Abbildung 37: Zusammenschaltung des MDACs mit dem als _____ Transimpedanzverstärker beschalteten Operationsverstärker ____	42
Abbildung 38: Funktionsprinzip des AD5533 MDAC Bausteins _____	

mit integriertem Feedbackwiderstand _____	42
Abbildung 39: Diagramm zur Berechnung des Strom zu _____ Spannungswandlungsfaktors der POLDI-Sensor Ausleseschaltung _	43
Abbildung 40: Ausgangsspannung der POLDI-Auslesekette bezogen ___ auf VREFTIA als Funktion des DAC-Settings von Kanal 1 _____	51
Abbildung 41: Veranschaulichung der Pin- Richtung _____	55
Abbildung 42: Fertiggestelltes Symbol des Operationsverstärkers ___	56
Abbildung 43: Schaltfläche zur Prüfung eines Schaltplans _____ bekommen _____	57
Abbildung 44: Neu generiertes PCB- Dokument _____	58
Abbildung 45: Wizard zum Einstellen von Bauteile- Footprints _____	59
Abbildung 46: DRC mit allen Fehlermöglichkeiten und der Anzahl der Fehler _____	60
Abbildung 47: Layout mit einer fehlenden Verbindung _____	62
Abbildung 48: Layout nach Etablierung der fehlenden Verbindung _____ über ein Via _____	62

Tabellenverzeichnis

Tabelle 1: BOM der Platine für die Spannungsversorgung _____	22
Tabelle 2: BOM der Level- Shifters Platine _____	29
Tabelle 3: BOM der Analog/ Digital Wandlungs Platine _____	34
Tabelle 4: Messwerte verglichen mit den Ergebnissen der Formel ___	54

1 Einleitung

Ziel dieser Bachelorarbeit ist die Entwicklung von Platinen mit Ausleseschaltungen für den Poldi- Sensor der Firma AdvlCo Microelectronics. Dieser Sensor soll für die optische Messung von Rotationswinkel eingesetzt werden. Dafür werden Analog- Digital- Wandler verwendet, um die analogen Ausgangsspannungen des Poldi- Sensors zu digitalisieren. Zusätzlich werden auch Digital- Analog- Wandler eingesetzt, um Parameter der Schaltung zu beeinflussen. Mit den digitalisierten Daten werden Winkelberechnungen wie Sinus, Arcussinus, Tangens, etc. durchgeführt. Zu Beginn der Bachelorarbeit wurde die Leiterplatte, welche im Rahmen der Betrieblichen Praxis mit Altium Designer entworfen wurde, überarbeitet. Um auf der Rückseite der Leiterplatte eine möglichst zusammenhängende Massefläche zu ermöglichen, musste die Platine komplett neu geroutet werden. Ursprünglich waren alle Kondensatoren und Widerstände auf der Rückseite. Nun wurden die Bauteile, die nicht mit der Massenfläche verbunden waren, auf der Top Seite platziert. Die anderen Bauteile wurden an IC's und OP's platziert und mit Vias auf der Top Seite geroutet, damit die Verbindungen kurz sind und auf der Leiterplatten- Rückseite so gut wie keine Leiterbahnen vorhanden sind, die am Ende die Massefläche fragmentieren könnten. Durch die Überarbeitung konnte die Platine auch kleiner entworfen werden. Des Weiteren wurde eine Leiterplatte mit Level- Shiftern und AD- und DA- Wandlern mit Altium Designer entworfen und am Ende gelötet. Außerdem wird gezeigt, wie man beim Leiterplattenentwurf mit Altium Designer vorgeht.

2 POLDI

POLDI ist ein optischer Sensor der AdvlCo Microelectronics. Dieser patentierte optische Sensor misst den Polarisationswinkel von linear polarisiertem Licht. Das einfallende Licht wird durch vier Fotodioden gemessen. Jede Fotodiode besitzt einen eigenen integrierten Polarisationsfilter, der jeweils um 45 Grad zu den benachbarten versetzt ist. Die Sensorbezeichnung Poldi besteht aus den zwei zusammengesetzten Wörtern: Polarisation und Dioden. [1]

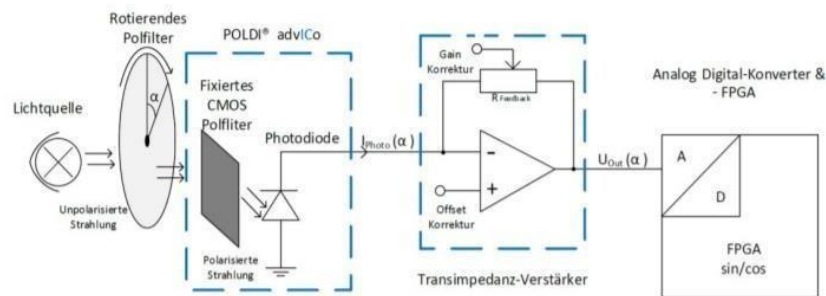


Abbildung 1: Funktionsprinzip und Auslesung des POLDI- Sensors [2]

2.1 Polarisiertes Licht

Licht z.B. das einer Glühbirne ist in den meisten Fällen unpolarisiert. Die transversalen Lichtwellen schwingen senkrecht zur Ausbreitungsrichtung in zufällig verteilte Richtung. Schwingt das Licht nur in einer Richtung, wird es als polarisiert bezeichnet. Wie in Abbildung 2 dargestellt, ist es möglich mit Hilfe von Polarisationsfilter Licht zu polarisieren. In diesem Projekt wird die Polarisationsebene mit einem Winkel von 0° Grad und einem Winkel von 90° untersucht. [3]

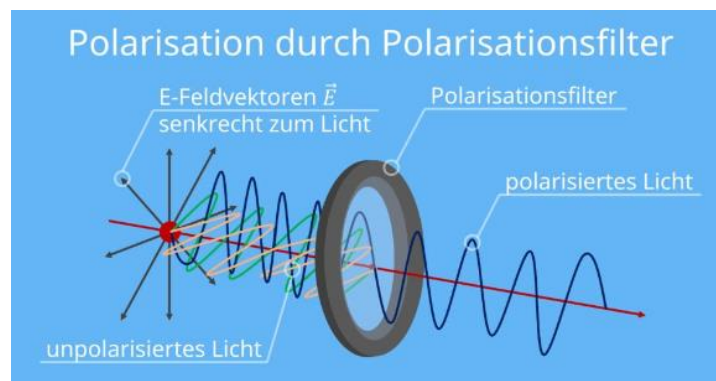


Abbildung 2: Polarisation von unpolarisiertem Licht durch einen Polarisationsfilter [4]

3 Vorarbeiten aus der Betrieblichen Praxis

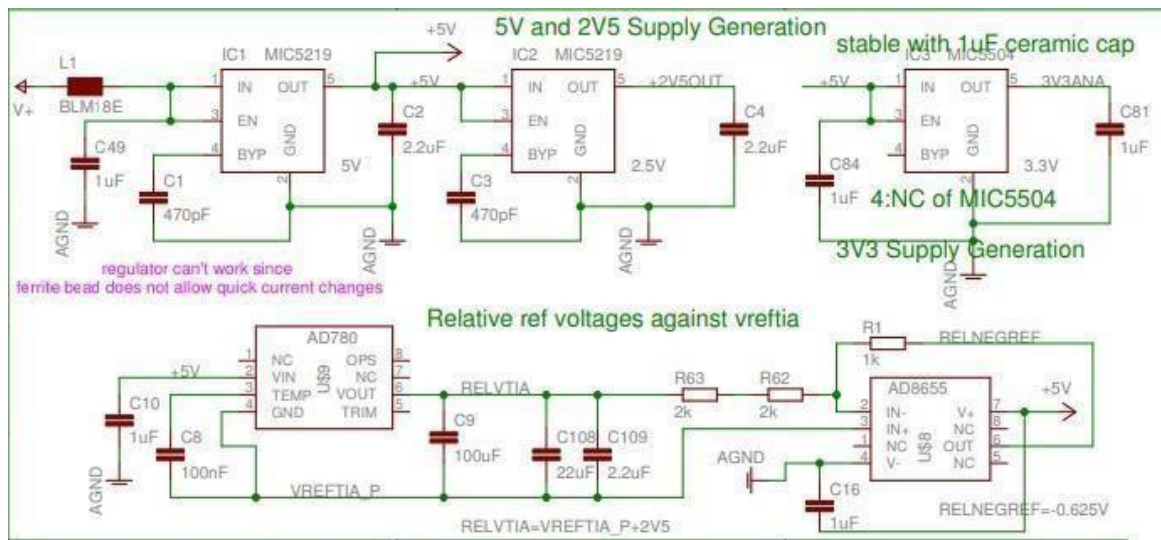


Abbildung 3: Schaltungen für die Generierung benötigter Versorgungsspannungen [5]

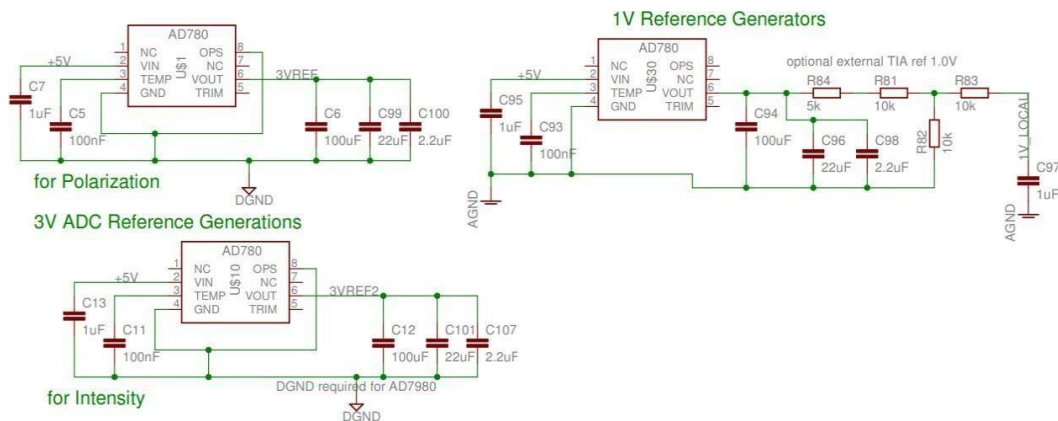


Abbildung 4: Schaltungen für die Generierung benötigter Referenzspannungen [5]

Aus einem bereits existierenden Auslesesystem wurde der in Abbildung 3 und 4 dargestellte Schaltungsteil für die Bearbeitung im Rahmen der Betriebliche Praxis ausgewählt, welche für die Bereitstellung der Spannungsversorgung und die Generierung von Referenzspannungen zuständig ist. Die Schaltpläne dieser Schaltungsteile werden mit Altium Designer wie in Abbildung 5 dargestellt neu entworfen und als eigenständige Leiterplatte gelayoutet und produziert.

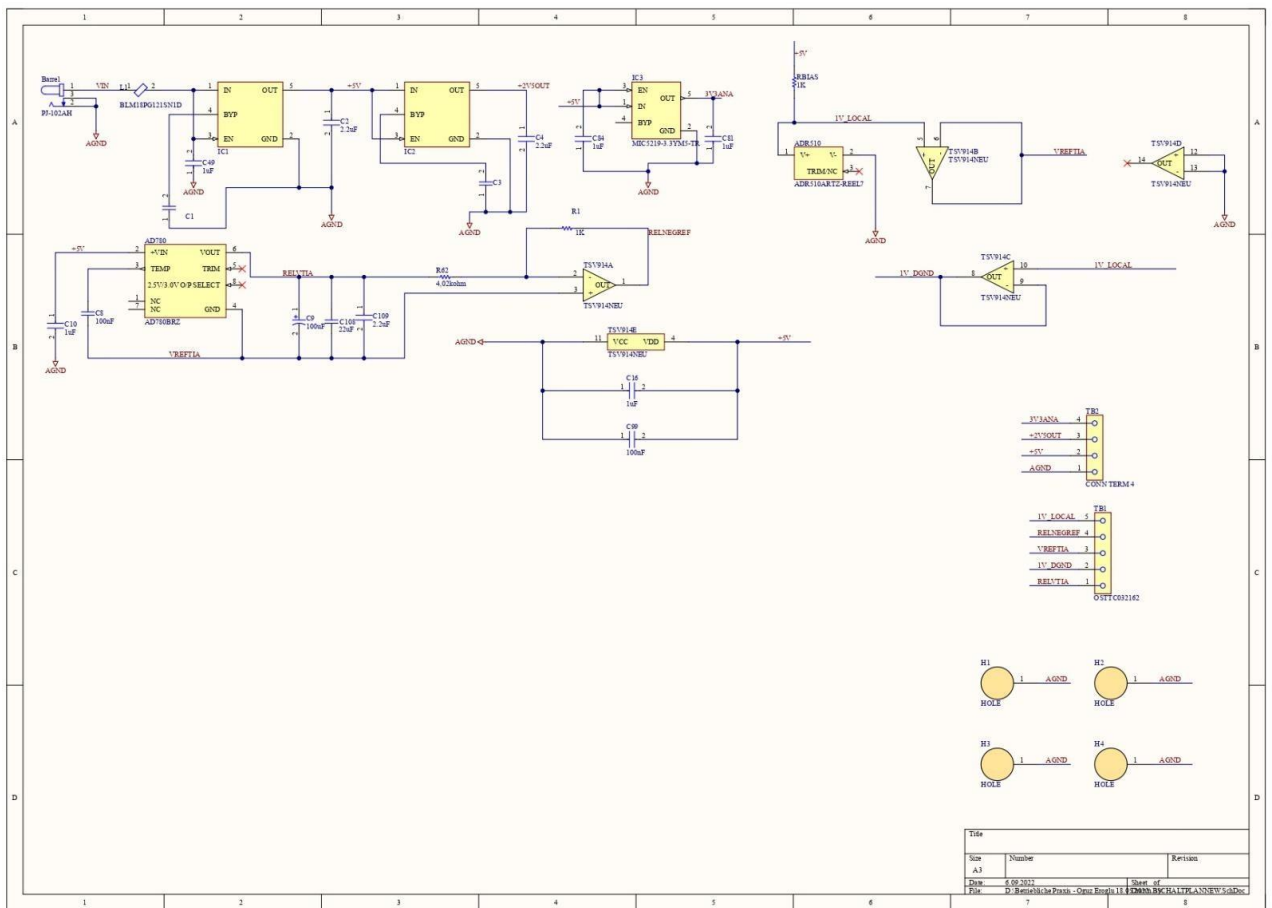


Abbildung 5: In Altium Designer überarbeiteter Schaltplan für die Spannungsversorgung und Referenzsignale

3.1 Erzeugte Spannungen und Ausgänge

Die folgenden Spannungen und Ausgangssignale werden von den Poldi-Ausleseschaltungen benötigt und auf der für die Spannungsversorgung entworfenen Platine erzeugt:

- „AGND“ → Ground (Terminalblock 2 - Pin 1)
- „+5V“ → Der erste Spannungsregler wandelt die Eingangsspannung in 5V um. (Terminalblock 2 - Pin 2)
- „+2V5OUT“ → Der IC2 wandelt die 5V Spannung in 2,5V um. (Terminalblock 2 - Pin 3)
- „3V3ANA“ → Der IC3 wandelt die 5V in 3,3V um. (Terminalblock 2 – Pin 4)
- „RELVTIA“ → ist 2,5V höher als „VREFTIA“. (Terminalblock 1 - Pin 1)
- „1V_DGND“ → Ground (Terminalblock 1 -Pin2)
- „VREFTIA“ → Referenzpotential des POLDI Sensors, welches als Massepotential vieler Schaltungen der Auslekette dient. (Terminalblock 1 - Pin 3)
- „RELNEGREF“ → Referenzspannung die 0,375V oberhalb des globalen Massepotentials liegt, aber 0,625V unterhalb von VREFTIA liegt. Diese Spannung wird vom Bauteil AD780 erzeugt. (-0,625V) (Terminalblock 1 - Pin 4)
- „1V_LOCAL“ → Referenzspannung von 1V, die vom Bauteil AD510 erzeugt wird. (Terminalblock 1 – Pin 5)

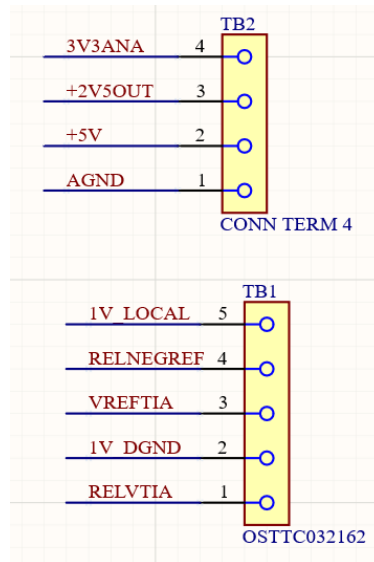


Abbildung 6: Terminalblöcke für den Anschluss der Versorgungs- und Referenzspannungen

3.2 Bauteile der Spannungsversorgung

3.2.1 Shunt Voltage Reference

Eine Shunt Voltage Reference besitzt eine zur Zener-Diode ähnliche Funktionsweise, erzeugt aber eine wesentlich präzisere Ausgangsspannung. Die Shunt Voltage Reference wird für die Generierung der Referenzspannung von 1V benötigt, welche im Originalschaltplan als „1V_LOCAL“ bezeichnet wird. Ganz konkret wird in diesem Projekt der Baustein ADR510 eingesetzt, der genau 1 Volt liefert. Der ADR510 Baustein ersetzt das Bauteil AD780 des Originalschaltplans welcher die Spannung 1V_LOCAL ursprünglich generiert hat. Der ADR510 eignet sich auch gut, um negative Spannungsreferenzen zu erzeugen. Er wird so konfiguriert, dass an seinem Ausgang 1,0V bereitgestellt wird.

Da immer ein Mindeststrom durch den Shunt fließen sollte, wird ein Vorwiderstand R_{BIAS} gewählt, durch den ein minimaler Strom von $100\mu A$ und ein maximaler Strom von $10mA$ fließt. Wenn an das Referenzsignal 1V_LOCAL ein Operationsverstärker angeschlossen wird, sollte dieser einen sehr hohen Eingangswiderstand besitzen. Dann fließt so gut wie kein

Eingangsstrom in den OP und der Shunt, an dem sich R_{BIAS} befindet, wird nicht belastet. Die an das Referenzpotenzial $1V_LOCAL$ angeschlossen ICs benötigen einen Versorgungsstrom von weniger als 1mA. Wählt man für den Vorwiderstand (R_{BIAS}) 1kOhm, beträgt der Laststrom (I_L) insgesamt 4mA, was zwischen dem Minimum und dem Maximum liegt. [6]

Der Vorwiderstand R_{BIAS} kann wie folgt berechnet werden:

$$R_{BIAS} = \frac{V_S - V_{OUT}}{I_L + I_Q} \quad (1)$$

Wobei V_S für die Spannung des Shunts, V_{OUT} für die benötigte Spannung des Signal $1V_LOCAL$ und I_L für den Laststrom steht. Werden die in diesem Projekt verwendeten Parameter in obige Gleichung eingesetzt, ergibt sich, wie die folgende Gleichung zeigt, der zuvor genannte Wert für R_{BIAS} .

$$R_{BIAS} = \frac{5V - 1V}{4mA + 0A} = 1kOhm \quad (2)$$

In den Abbildungen 7 und 8 sind die Beschaltung der Shunt-Referenz laut Datenblatt und die Umsetzung im Projekt im Altium Schematic dargestellt.

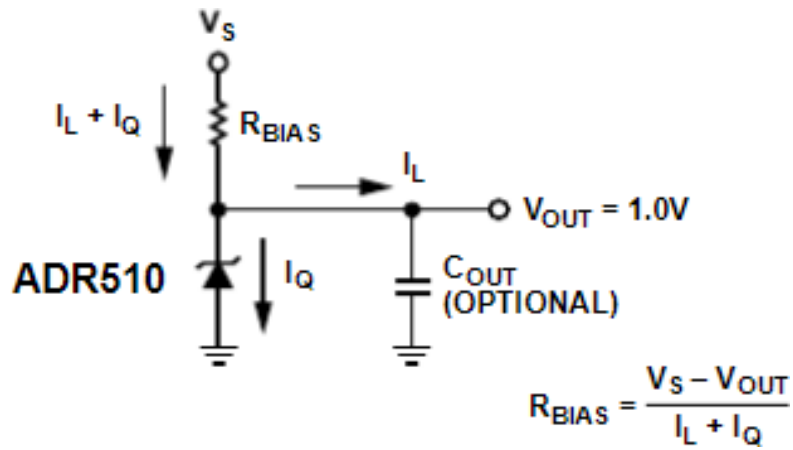


Abbildung 7: Im Datenblatt empfohlene Beschaltung der Shunt-Spannungsreferenz [6]

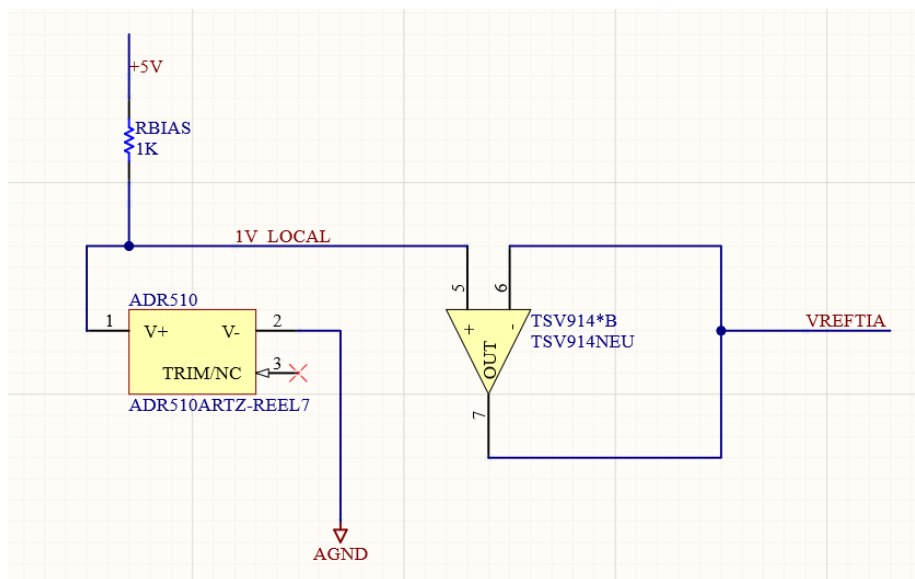


Abbildung 8: Im Projekt gewählte Beschaltung der Shunt-Spannungsreferenz

3.2.2 Spannungsregler

Um elektrische Gleichspannungen zu stabilisieren, werden Spannungsregler (IC's) genutzt, welche Schwankungen der Eingangsspannung und des Laststroms ausgleichen. [7] Im Originalschaltplan befinden sich Spannungsregler mit Ausgangsspannungen von 2,5V, 3,3V und 5V. Für das Projekt bzw. den bearbeiteten Schaltplan wurden folgende Bauteile ausgewählt:

- Spannungsregler 5V: MIC5219-5.0YMM 8MSOP MIC5219-5.0YMM-CT-ND
- Spannungsregler 3,3V: MIC5219-3.3YMM 8MSOP MIC5219-3.3YMM-CT-ND
- Spannungsregler 2,5V: MIC5219-2.5YMM 8MSOP MIC5219-2.5YMMTR

Schaltung (Altium):

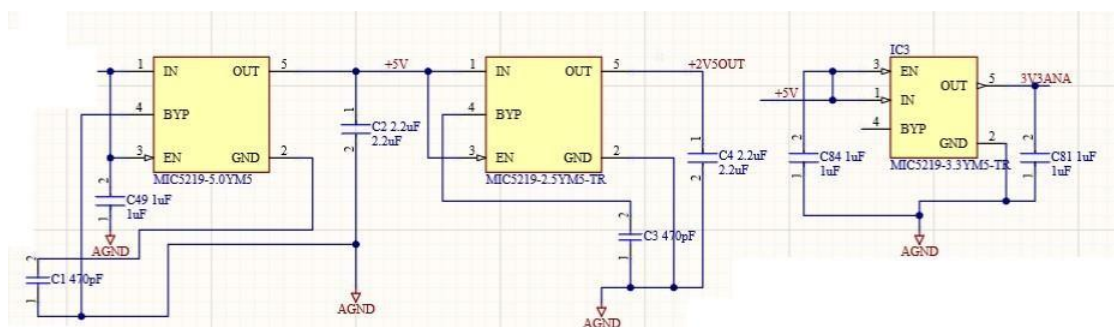
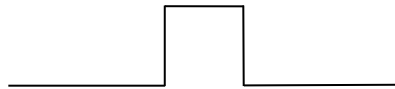


Abbildung 9: Auszug des Projektschaltplans mit der Beschaltung der LDO-Spannungsregler ICs

Das Bauteil hat insgesamt fünf Pins. Pin 1 trägt die Bezeichnung „IN“ und entspricht der Eingangsspannung. Dort wurde bei allen drei IC's ein 1uF Kondensator angeschlossen, der mit seiner zweiten Elektrode mit GND verbunden ist. Dieser Ausgangskondensator dient als Energiereserve. Wenn der Laststrom größer wird, muss der Spannungsregler darauf reagieren und den zusätzlichen Strom liefern. Da der IC eine begrenzte Bandbreite besitzt, kann er nicht unmittelbar auf den Lastwechsel reagieren. Dadurch ergibt sich ein Verlauf der Ausgangsspannung wie er in der folgenden Abbildung skizziert wurde.

Laststrom:



Regler Spannung:

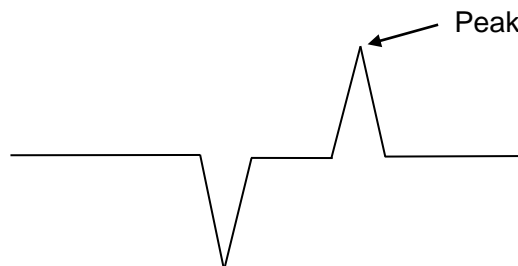


Abbildung 10: Spannungsartiger Anstieg- und Abfall des Laststroms und Einfluss auf die LDO-Ausgangsspannung

Bei einem sprunghaften Laststromanstieg versucht das IC entgegenzuwirken, kann jedoch nicht so schnell reagieren. Dadurch entsteht ein plötzlicher Einbruch an der Reglerspannung, der nach einer gewissen Zeit ausgeregelt wird. Kommt es zu einem plötzlichen Abfall des Stromflusses, kann der Regler nicht so schnell reduzieren. Deswegen steigt die Spannung bis der Regler dem Spannungsanstieg entgegenwirkt. Um die Spannungs- Peaks zu reduzieren, wird ein Kondensator an den

Reglerausgang angeschlossen. Der Kondensator wird bei schnellen Lastwechseln geladen und entladen und glättet damit die Spannung. Auch wenn sich dadurch Spannungs- Peaks nicht vollständig vermeiden lassen, wird die Amplitude der Peaks wesentlich reduziert.

Pin 2 entspricht dem Ground- Anschluss. Der EN- Pin dient zur Aktivierung bzw. Deaktivierung des Reglers. Wenn die Eingangsspannung über 2V liegt, wird der Regler aktiviert. Unter 2V wird er automatisch intern abgeschaltet. „EN“ wird mit „IN“ verbunden, daher ist der Regler immer aktiviert, sobald die Eingangsspannung über 2V liegt. Der nächste Pin trägt die Bezeichnung „BYP“. Um das Ausgangsrauschen zu reduzieren, wird ein externer 470pF Kondensator am Referenz- Bypass angeschlossen. Beim letzten Pin mit der Bezeichnung „OUT“ handelt es sich um die Ausgangsspannung. Wie bereits oben beschrieben, wird an diesen PIN ein Ausgangskondensator mit einer Kapazität von 2,2 μ F angeschlossen, um die Ausgangsspannung zu glätten und die Stabilität aufrecht zu erhalten. Beim Regler mit dem Instanznamen IC3 wurde kein Bypass genutzt, wodurch der Baustein die 3,3V am Ausgang schneller einregeln kann. Aus dem gleichen Grund wurde auch nur das empfohlene Kapazitätsminimum von 1 μ F für den Kondensator zur Glättung und Stabilisierung des Ausgangs verwendet. [8]

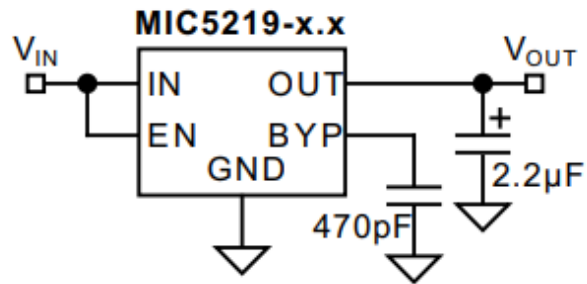


Abbildung 11: Beschaltung des LDO-Spannungsreglers
für die 5V und 2,5V Spannungsversorgung [7]

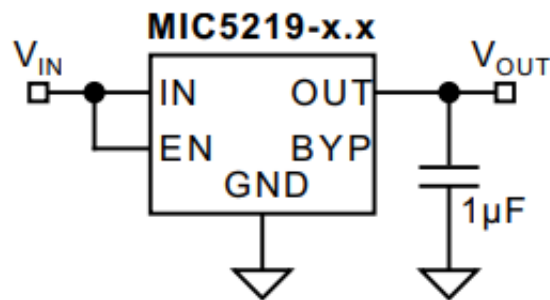


Abbildung 12: Beschaltung des LDO-Spannungsreglers
für die 3,3V Spannungsversorgung [7]

3.2.3 TSV914 Operationsverstärker

Es werden drei Operationsverstärker (OP) im Auslesesystem des POLDI-Sensors benötigt. Dafür wurde das Bauteil TSV914AIDR ausgewählt, da dieses nur sehr kleine Eingangsströme aufnimmt und sich deswegen sehr gut zur Pufferung von analogen Spannungen eignet. Das Bauteil beinhaltet vier Operationsverstärker. Ein OP wird für den Shunt gebraucht, zwei für die Erzeugung der „RELNEGREF“ Spannung und ein OP wird nicht verwendet. Das Bauelement TSV914AIDR ersetzt damit den AD8655 Baustein aus dem ursprünglichen Schaltplan.

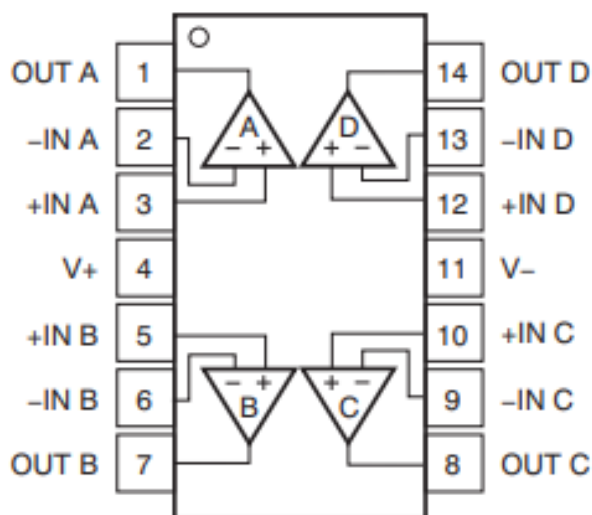


Abbildung 13: Symbol des TSV914AIDR Operationsverstärker Bausteins [8]

Der Operationsverstärker „A“ in Abbildung 14 ist als invertierender Verstärker beschaltet. Der Ausgang RELNEGREF (-0,625V) wird mit dem Widerstand R1 vom 1kOhm zum invertierenden Eingang zurückgeführt. Die Spannung RELVTIA, welche vom AD780 Spannungsregler geliefert wird, liegt am Widerstand R62 von 4,02kOhm an, der mit seinem anderen Anschluss am invertierenden Eingang des Operationsverstärkers angeschlossen ist. Der nichtinvertierende Eingang +IN ist mit der Spannung VREFTIA verbunden.

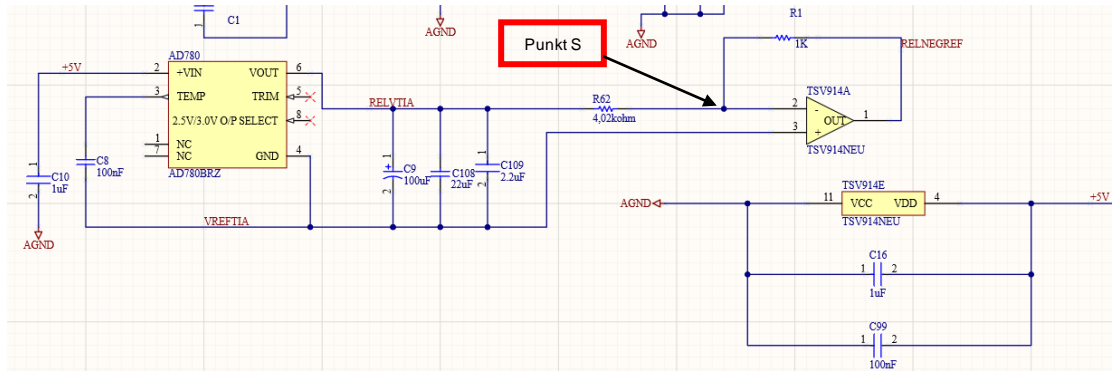


Abbildung 14: Schaltplan zur Generierung der Spannung RELNEGREF

Durch diese invertierende Schaltung wird die Ausgangsspannung bei einer positiven Eingangsspannung negativ gegenüber VREFTIA. Auf Grund der Gegenkopplung regelt der OP die Spannung am invertierenden Eingang auf die Gleiche Spannung wie am nichtinvertierenden Eingang VREFTIA und die Spannungsdifferenz dieser beiden Eingänge ist gleich Null. Der Punkt S in Abbildung 14 ist daher immer nahe bei VREFTIA, also 1V. [9]

Die Rechnung für die Spannungsverstärkung A ergibt:

$$A = -\left(\frac{R1}{R62}\right) = -\left(\frac{1kOhm}{4,02kOhm}\right) \approx -0,25 \quad (3)$$

$$RELVTIA = \frac{RELNEGREF}{A} = \frac{-0,625V}{-0,25} = 2,5V \quad (4)$$

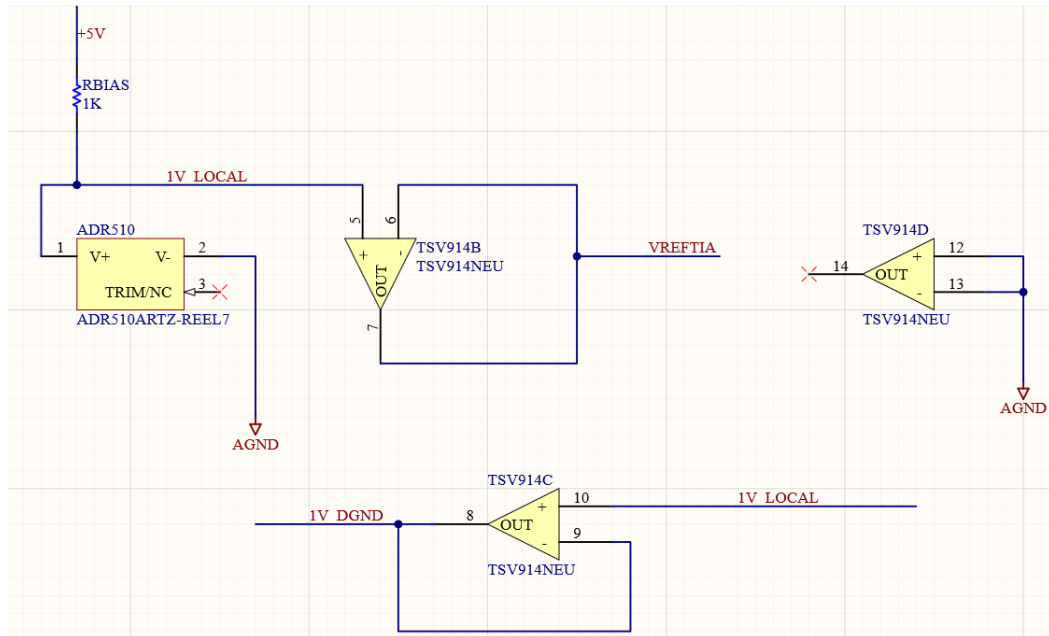


Abbildung 15: Schaltung zur Generierung der Spannungen VREFTIA und 1V_DGND

Der Operationsverstärker „B“ wurde mit dem ADR510ARTZ kombiniert, um die lastunabhängige und präzise Generierung der Spannungen VREFTIA und 1V_DGND zu gewährleisten.

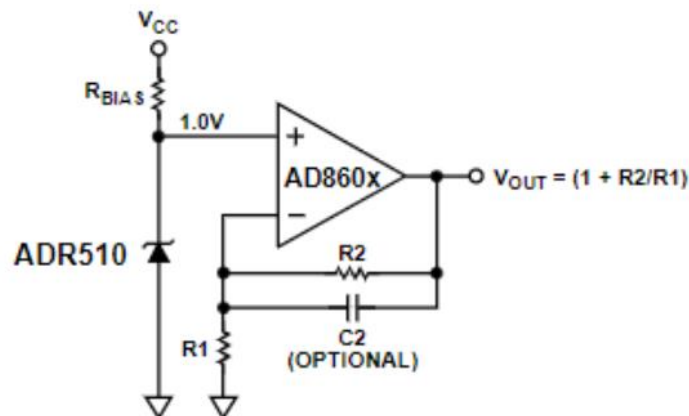


Abbildung 16: Schaltung zur Erzeugung von belastbaren Referenzspannungen [5]

Die Spannung am Ausgang des Operationsverstärkers wird durch die äußere Beschaltung und insbesondere der verwendeten Widerstände bestimmt. Da keine Widerstände genutzt werden, stellt sich eine Verstärkung gleich 1 ein. Die OP-Schaltung wirkt in diesem Fall wie einen Spannungspuffer. Die Spannung zwischen dem ADR510, der wie eine

Zenerdiode wirkt, und dem Widerstand liegt bei 1 Volt. Würden sich die Stromverhältnisse ändern, würde dies zu einer Reduktion der Referenzspannung unter 1V führen würde. Durch den Einsatz des Operationsverstärkers, der als Impedanzwandler fungiert, bleibt die Ausgangsspannung von 1V stabil, solange ein angeschlossener Verbraucher nicht mehr Strom benötigt, als der Operationsverstärker liefern kann. Daher wird der Strom vom Operationsverstärker geliefert und nicht von der Schaltung davor. [10]

Der Operationsverstärker „C“ ist wie bei „B“ beschaltet und hat dieselbe Funktion für die Ausgangsspannung „1V_LOCAL“. Wie bei „C“ wird am Ausgang 1V bereitgestellt.

Der Operationsverstärker „D“ hat keine Funktion und die Eingänge wurden lediglich an Ground angeschlossen.

An VDD wird die positive 5V Versorgungsspannung angeschlossen, an VCC das Ground- Potenzial. Zusätzlich wurden zwei Kondensatoren zwischen VCC und GND in Parallelschaltung geschaltet, um unerwünschte Störungen bei hohen Frequenzen zu filtern. Jede Leitung besitzt einen Widerstand und eine Induktivität. Wenn sich ein schneller Lastwechsel einstellt, wird dieser schnelle Lastwechsel auch über den Widerstand und die Induktivität geführt, wodurch die Spannung an VDD abfällt. Diese Schwankungen an der Versorgungsspannung nennt man Ripple. Diese Ripple werden durch die Abblockkapazität aufgefangen, in dem der Stromwechsel teilweise aus der Kapazität und nicht über die Versorgungsleitung gespeist wird und damit die Spannungsabfälle an den Widerständen und der Induktivität kleiner und damit die Ripple geglättet werden.

3.2.3.1 Multi- Part Symbol

Unter einem Multi-Part Symbol versteht man die Unterteilung eines Bauteiles in mehrere Teilkomponenten. Dies ermöglicht die Beschaltung von Bauteilen wie z.B. dem TSV914 mit vier Operationsverstärkern leichter und übersichtlicher zu gestalten. Zunächst muss hierfür ein Operationsverstärker- Symbol in der „Schematic Library“ gezeichnet werden. Als nächstes muss in der oberen Leiste auf „Tools“ und „New Part“ geklickt werden. Jetzt erscheint in der Library ein zusätzlicher Part bzw. ein „Part A“ und ein „Part B“. Da ein TSV914 aus vier Operationsverstärkern besteht, werden vier Parts benötigt, also „Part A“ bis „Part D“. Zusätzlich muss für das komplette Symbol des TSV914 ein Symbol für die Spannungsversorgung ergänzt werden, wodurch ein zusätzlicher „Part E“ eingeführt wird. Nach Durchführung dieser Schritte beinhaltet die Library fünf Parts (Siehe Abbildung 17). In „Part A“ befindet sich das ursprüngliche Symbol des Operationsverstärkers, das anfangs gezeichnet wurde. Part B bis E ist leer. Ein schneller und einfacher Weg, um die weiteren Symbole zu erzeugen, besteht darin, das Symbol von „Part A“ zu kopieren und bei den restlichen Parts, also „Part B“ bis „Part D“ einzufügen. Das Einzige, was dann geändert werden muss, sind die Zahlen, beziehungsweise die Nummern der Pins, die der korrekten Reihenfolge des realen Bauteils folgen müssen. Die Spannungsversorgung wird bei „Part E“ gezeichnet. Anschließend kann man, nachdem man auf „TSV914“ geklickt hat, auf „Place“ gehen und die fünf Symbole im Schematic platzieren. Zum Abschluss muss zum gesamten Symbol „TSV914“ noch ein Footprint für das PCB über „Add Footprint“ zugewiesen werden.

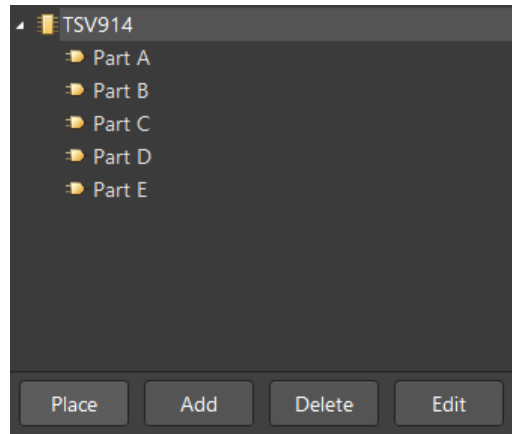


Abbildung 17: Darstellung einer Multi- Part Komponente im Projektfenster

3.2.4 AD780BRZ

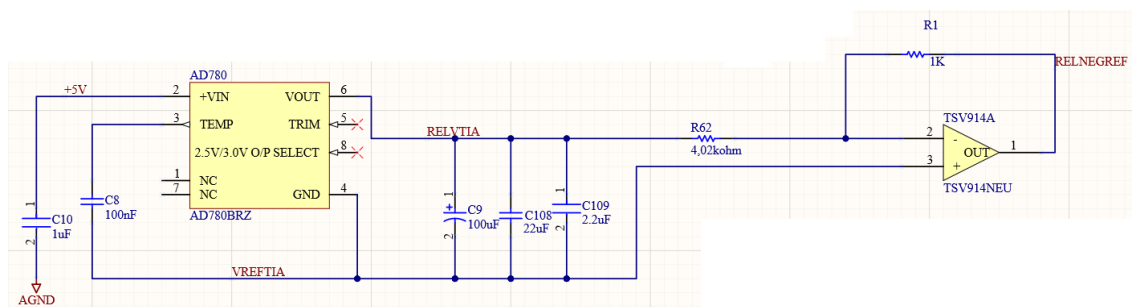


Abbildung 18: Schaltung zur Generierung der Spannung RELNEGREF

Der Spannungsregler- Baustein AD780 erzeugt die Spannungen „RELNEGREF“ und „RELVTIA“. Die Spannung „RELVTIA“ ist dabei 2,5V höher als die Spannung „VREFTIA“, da der GND- Anschluss des Reglers an „VREFTIA“ angeschlossen ist. Der Operationsverstärker ist als Invertierender Verstärker mit einer Verstärkung von -0,25 beschaltet (siehe Formel 3 und 4). Damit gilt die folgende Formel für RELNEGREF:

$$RELNEGREF = -RELVTIA * \frac{R1}{R62} \quad (5)$$

$$RELNEGREF = -2,5V * \frac{1kOhm}{4,02kOhm} = -0,622V \quad (6)$$

Die Spannung von $-0,625\text{V}$ ist auf das lokale Massepotential „VREFTIA“ von 1V bezogen. Der Absolutwert der Spannung RELNEGREF bezogen auf die globale Masse beträgt $1\text{V}-0,625\text{V}=0,375\text{V}$. Bei Einsatz eines Widerstands von $4,02\text{K}$ ergibt sich hier eine kleine Abweichung für „RELNEGREF“, also $-0,622\text{V}$. Um „RELNEGREF“ genauer einzustellen, müsste man die verwendeten Widerstände genau ausmessen oder einen Trimmer verwenden. In diesem Projekt wurde jedoch nur ein Widerstand von $4,02\text{K}$ vorgesehen.

Der AD780 ist eine Bandgap-Spannungsreferenzschaltung, die eine Ausgangsspannung zwischen $2,5\text{V}$ und 3V erzeugt, wobei in diesem Fall die generierte Bandgapreferenzspannung $2,5\text{V}$ beträgt und eine Eingangsbeziehungsweise Versorgungsspannung zwischen 4V und 36V benötigt. Das Bauteil ist eine gute Wahl zur Leistungssteigerung von hochauflösenden Analog-Digital-Wandlern (ADCs) und Digital-Analog- Wandlern (DACs) sowie für alle universellen Präzisionsreferenzanwendung . [11]

3.2.5 Eingangsbuchse

Als Eingangsbuchse wird ein Barrel Jack mit den Dimensionen 5,5 x 2,1mm statt des Steckers im Originalschaltplan verwendet.

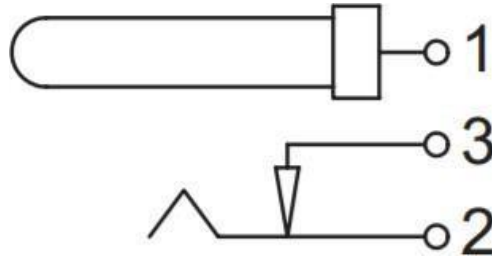


Abbildung 19: Bauteilsymbol der Eingangsbuchse laut Datenblatt [12]

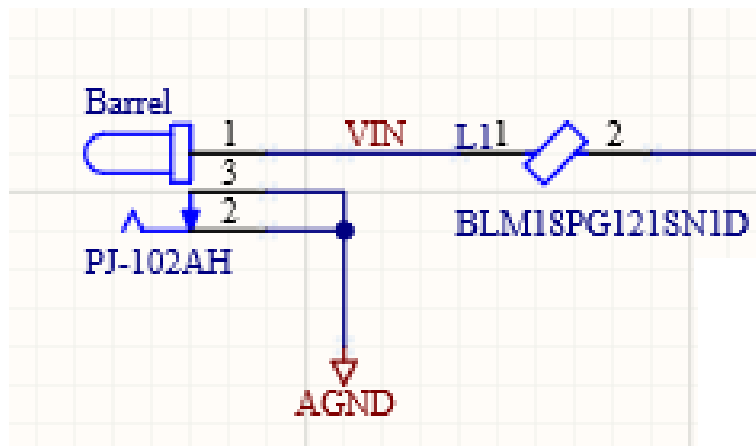


Abbildung 20: Erstelltes Bauteilsymbol für die Verwendung in Altium Designer

3.2.6 Terminalblock

Es werden Terminalblöcke genutzt, um die Ausgangsspannungen mit den anderen Leiterplatten zu verbinden. Hier wurden zwei Terminalblöcke für insgesamt neun Ausgänge verwendet.

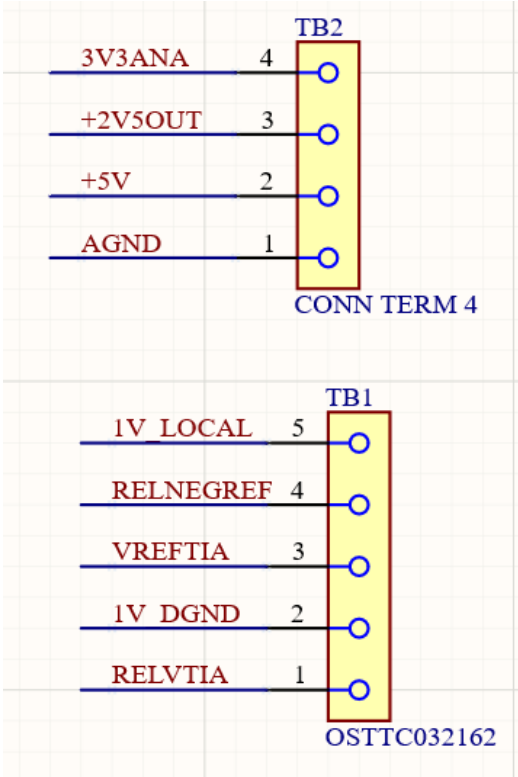


Abbildung 21: Bauteilsymbole der Terminalblöcke für die Verwendung in Altium Designer

4 BOM (Bill of Material) der Spannungsversorgung

BOM steht für „Bill of Material“ und ist eine Übersicht aller Bauteile, die auf der Leiterplatte verwendet werden.

Bauteil	Wert	Größe	Bezeichnung	Hersteller	Digi-Key Teilenummer	Mouser Teilenummer	RS Online Teilenummer
Spulen							
L1	Ferrite Bead 120Ohm	0603	BLM18PG121SH1D	Murata Electronics	490-7815-1-ND		
Widerstände							
RBIAS, R1	1k 1%	0603	RC0805FR-101KL	Yageo	13-RT0805FRE101KLCT-ND		
R62	4.02k 0,1%	0603	ERA-3AEB4021V	Panasonic Electronic Components	P4.02K08CT-ND		
Kondensatoren							
C1, C10, C16, C49, C81, C84	1uF 25V X7R	0603	CL10B105KABNNNC	Samsung Electro-Mechanics	1276-1184-1-ND		
C2, C4, C109	2,2uF 25V X7R	0805	CL21B225KAFNFNE	Samsung Electro-Mechanics	1276-2953-1-ND		
C3	470pF 50V X7R	0603	CL10B471KBNNNC	Samsung Electro-Mechanics	1276-1094-1-ND		
C9	100uF 25V 20% ALU	8,3 x 8,3 mm	EEE-1EA101AP	Panasonic Electronic Components	PCE4593CT-ND		
C8, C99	100nF 50V X7R	0603	CL10B104KBNNL	Samsung Electro-Mechanics	1276-CL10B104KBNNLCT-ND		
C108	22uF 25V X7R	1210	CL32B226KAJNNE	Samsung Electro-Mechanics	1276-3392-1-ND		
ICs							
IC1	5V	SOT23-5	MICS219-5.0YM5-TR	Microchip Technology	576-2770-1-ND	998-MICS219-5.0YM5TR	910-1755
IC3	3,3V	SOT23-5	MICS219-3.3YM5-TR	Microchip Technology	576-1281-1-ND	998-MICS219-3.3YM5TR	910-1685
IC2	2,5V	SOT23-5	MICS219-2.5YM5-TR	Microchip Technology	576-2758-1-ND	998-MICS219-2.5YM5TR	177-3202
AD780	2,5V, 3,3V VREF	8SOIC	AD780BRZ-REEL7	Analog Devices Inc.	AD780BRZ-REEL7CT-ND		
ADR510	1V Shunt	SOT23-3	ADR510ARTZ-REEL7	Analog Devices Inc.	ADR510ARTZ-REEL7CT-ND		
TSV914	4fach OP	14SOIC	TSV914AIDR	Texas Instruments	296-47552-1-ND		
Barrel Jack	Power Jack 2 x 5,5mm		PJ-102AH	CUI Devices	CP-102AH-ND		
Terminal Block 2 Pin	2 Pin 2,54mm	2,54mm	OSTTC022162	On Shore Technology	ED2609-ND		
Terminal Block 3 Pin	3 Pin 2,54mm	2,54mm	OSTTC032162	On Shore Technology	ED2610-ND		

Tabelle 1: BOM der Platine für die Spannungsversorgung

5 Bestückungsplan der Spannungsversorgung

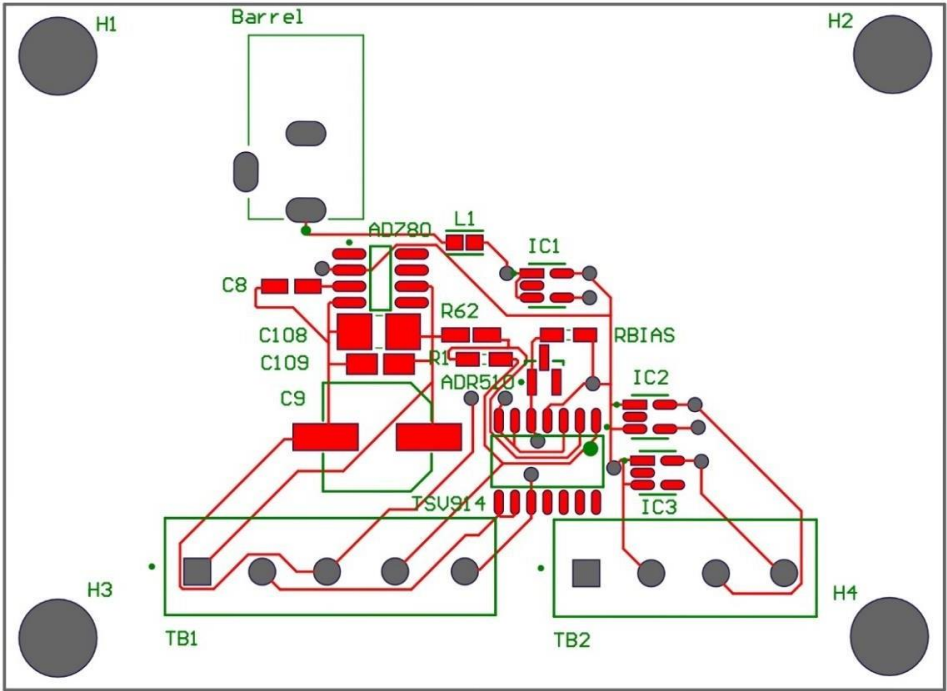


Abbildung 22: Top Layer der Platine für die Spannungsversorgung

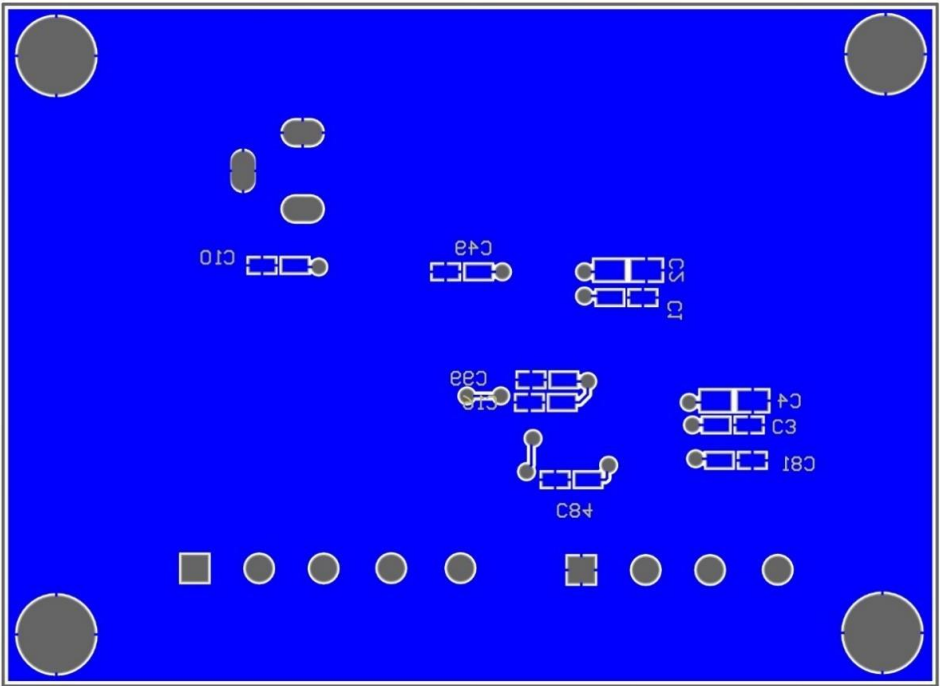


Abbildung 23: Bottom Layer der Platine für die Spannungsversorgung

6 Korrektur der Spannungsversorgung aus der Betrieblichen Praxis

In dieser Bachelorarbeit wurde die Platine aus der Betrieblichen Praxis korrigiert. Da die Ground Pins der Bauteile nicht verbunden worden waren, wurden nicht die gewünschten Werte für die Spannungen erzeugt. Dieser Fehler wurde so korrigiert, dass bei jedem Ground- Pin eine Via- Verbindung gesetzt wurde. Anschließend wurde auf der Rückseite des PCBs in Altium Designer eine Massefläche mit Polygon Pour erzeugt. Die Massefläche wurde mit der globalen analogen Masse AGND verbunden. Des Weiteren wurde das Design komplett überarbeitet. Alle Kondensatoren und Widerstände auf der Rückseite wurden so geordnet, dass keine „Inseln“ auf der Massefläche entstehen können. Dafür wurden erst alle Widerstände von der Bottom Seite auf die Top Seite platziert. Danach wurden die Kondensatoren, die an einen IC-Pin angeschlossen werden, direkt am Pin auf der Bottom Seite platziert. Hierdurch entstanden nur kurze Verbindungen zwischen den Bauteilen und den Kondensatoren (Abbildung 24). Im Allgemeinen wurde alles näher zusammengebracht und die Platine wurde kompakter und kleiner. Außerdem wurden Beschriftungen den Bauteilen sowie den Ausgängen der Terminalblöcke hinzugefügt. Nach der Fertigung und dem Aufbau der Schaltung wurden Messungen durchgeführt, welche die gewünschten Spannungen an den Ausgängen ergaben.

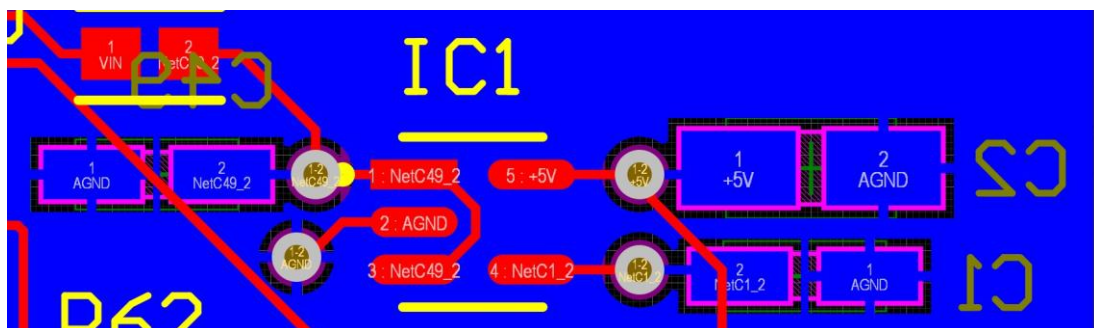


Abbildung 24: Veranschaulichung der kurzen Verbindungen

7 Level Shifter

Für die Digital- Analog- Wandlung wird der AD5544 Baustein verwendet, bei dem es sich um ein multiplizierenden DAC (MDAC) handelt. Hierbei ist eine Besonderheit, dass das analoge Ground Potential auf 1V gelegt wird. Der Chip hat zwei Ground Anschlüsse, einen Analog Ground und einen Digital Ground. Diese sind im Chip miteinander verbunden. Die Spannungen des analogen und des digitalen Grounds dürfen sich nicht stark voneinander unterscheiden. Wenn Digital Ground auf 0V und Analog Ground auf 1V gesetzt ist, fließt zwischen den Groundanschlüssen Strom, der unerwünscht ist. Das bedeutet, dass auch der Digital Ground auf 1V angehoben werden muss. Wird ein digitaler Pin von einem FPGA (Field Programmable Gate Array) aus mit einem Lowpegel von 0V und einem High Pegel von 3,3V angesteuert, dann entspricht dieser Lowpegel einer Spannung von -1V, und der Highpegel einer Spannung von 2,3V bezogen auf das digitale Ground-Potential des AD5544 Bausteins von 1V. Dadurch fließt im Fall des Lowpegels ein großer Strom in den Ground- Anschluss des AD5544 Bausteins, was den Chip beschädigen kann. Der AD5544 wird mit 5V betrieben und benötigt an den digitalen Eingangspins einen Lowpegel von 0V und einen Highpegel von 5V. Ein Highpegel von 2,4V ist jedoch auch ausreichend. Wie oben bereits beschrieben liegen die Pegel des FPGAs auf 0V bzw. 3,3V. Wird jetzt nur der Ground auf 1V hochgelegt, entspricht der High- Ausgangspegel des FPGAs nur 2,3V und kann daher vom AD5544 nicht als High erkannt werden. Daher müssen beide Pegel, d.h. High und Low angepasst werden. Dies kann am einfachsten mit einem Multiplexer erreicht werden. Dafür wird der NLAB3157 Baustein verwendet. Dieser hat einen digitalen Select- Eingang, mit dem ausgewählt werden kann, welcher analoge Eingang zum Ausgang durchgeschaltet wird. Liegt der Select-Eingang auf 0, wird 1V durchgeschaltet. Liegt der Select- Eingang auf 1, wird z.B. 5V durchgeschaltet. Der Select-Eingang des Multiplexers wird direkt mit dem FPGA verbunden. Im Datenblatt steht hier jedoch, dass ein Highpegel am Select- Eingang mindestens $0,7 \cdot VCC$ des NLAB3157 und ein Lowpegel maximal $0,3 \cdot VCC$ betragen muss. Beträgt VCC jetzt 5V, erfordert dies einen

High- Pegel von 3,5V, der den des FPGAs überschreitet. Daher wird eine Spannungsversorgung VCC des NLAB3157 von 4V gewählt, so dass ein High- Pegel von 2,8V des FPGAs ausreicht, um den Multiplexer umzuschalten. Damit kann jedoch bei einer 1 des FPGAs auch nur eine maximale Spannung von 4V durchgeschaltet werden. Aus diesem Grund wird also der Lowpegel 0V des FPGAs in 1V umgewandelt und der High-Pegel des FPGAs in 4V. Der Spannungshub beträgt demnach 3V, der AD5544 benötigt einen Spannungshub von 2,4V und wird daher mit dieser Umsetzung korrekt angesteuert.

8 Level Shifter Aufbau

Die Leiterplatte für den Level- Shifter wurde so aufgebaut, dass auf jeder Seite vier IC's mit dem entsprechenden Terminalblock angeordnet werden. Dabei wurde versucht, so wenig Vias wie möglich beziehungsweise so wenig Verbindungen wie möglich auf der Bottom Seite zu erzeugen. Dadurch ist die Platine viel übersichtlicher. Insgesamt gibt es drei Terminalblöcke mit acht Pins und einen Terminalblock mit vier Pins auf der Oberseite. Diese sind mit 13 IC's verbunden. Zwölf davon sind Multiplexer (NLAB3157), um analoge Spannungen zu schalten. Multiplexer dienen dazu, mehrere Signale wechselweise auf einen Eingang zu schalten (Multiplexen). Für jeden Eingang am Terminalblock wird daher ein Multiplexer benötigt. Der IC5 ist ein TSV911AIDCKR Operationsverstärker, der hier dazu verwendet wird, um eine stabile Spannung von 4V zu erzeugen.

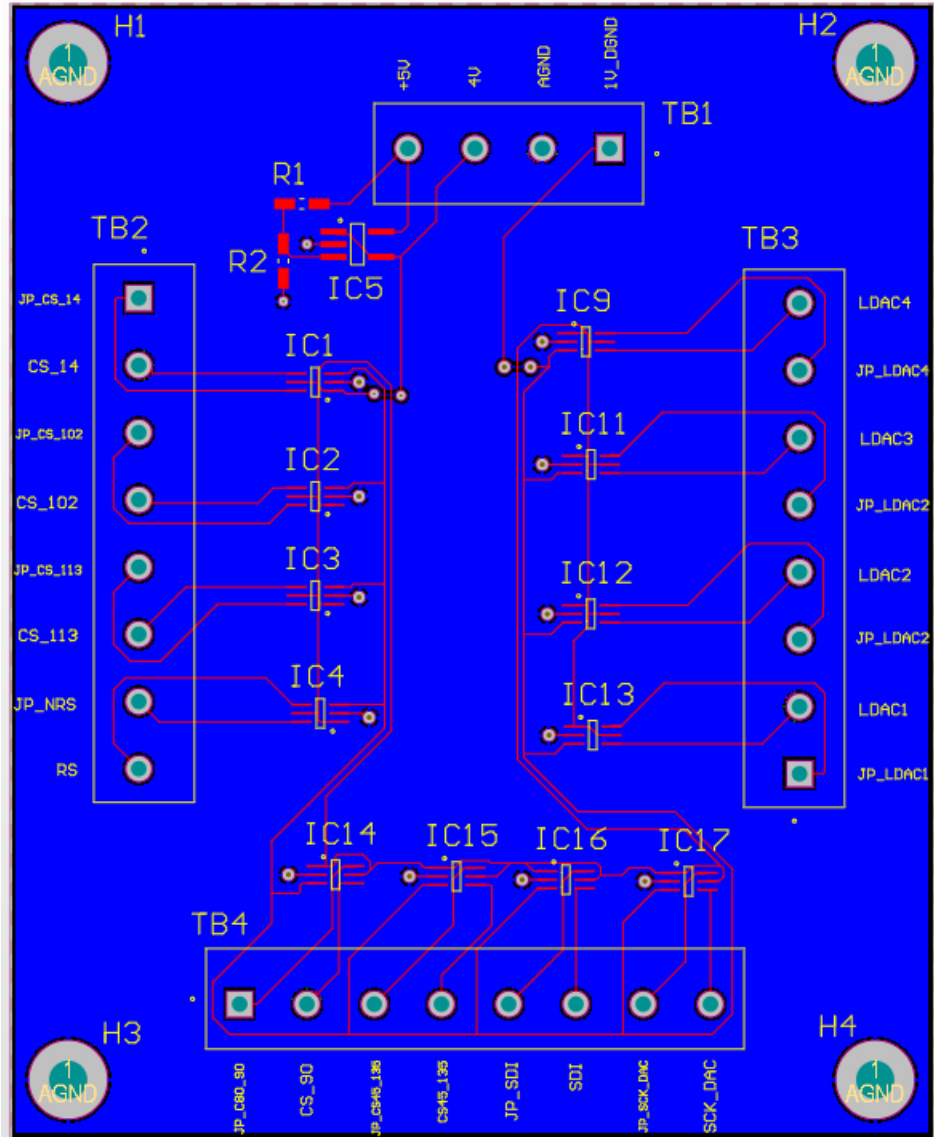


Abbildung 25: Layout der Level- Shifter Platine

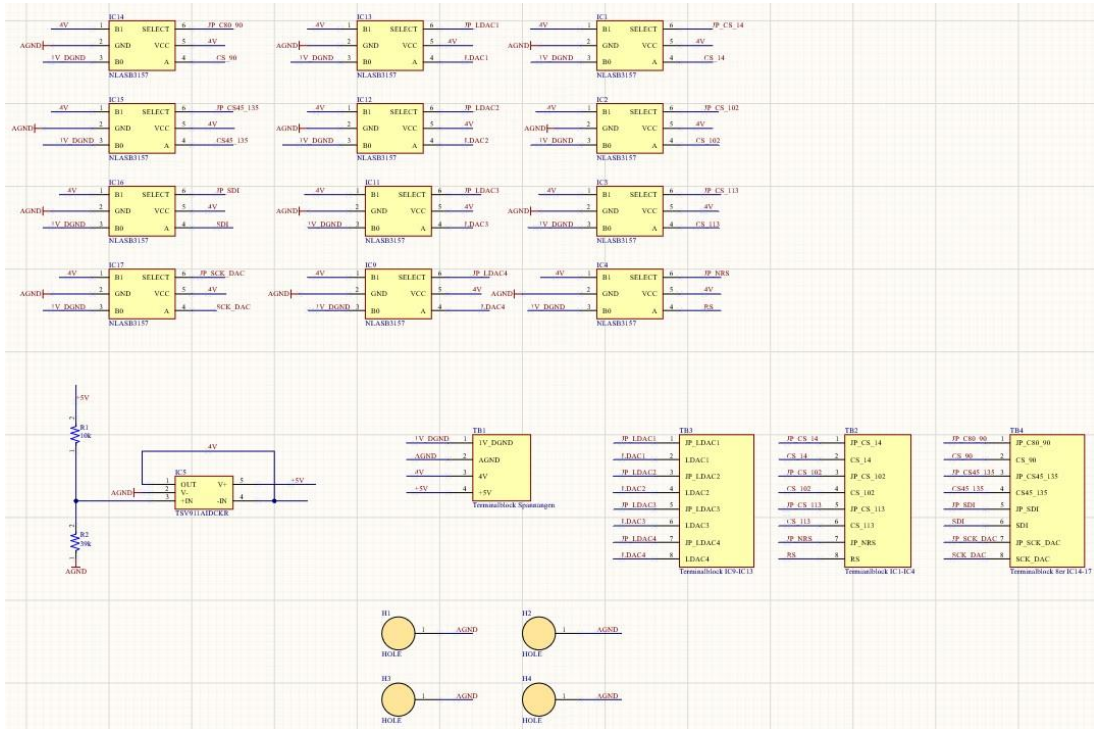


Abbildung 26: Schaltbild der Levelshifter-Schaltungen in Altium Designer

9 BOM des Level Shifters

Bauteil	Wert	Größe	Bezeichnung	Hersteller	Digi-Key- Teilenummer
IC1-IC4; IC11-IC17; IC9 (12 Stück)		SC-88 (6-Pin)	NLASB3157 NLASB3157DFT2G	Onsemi	NLASB3157DFT2GOST R-ND
IC5		SOT23-5	TSV911AIDCKR	STMicroelectronics	TSV911AID-ND
R1	10KOhm	0402	CRCW040210K0FKEDH P	Vishay	541-10.0KYTR-ND
R2	39KOhm	0805	CRCW080539K0FKEA	Vishay	541-39.0KCTR-ND
Terminal Block 2 Pin (3x)	2 Pin 2,54mm	2,54mm	OSTTC022162	On Shore Technology	ED2609-ND
Terminal Block 3Pin (7x)	3 Pin 2,54mm	2,54mm	OSTTC032162	On Shore Technology	ED2610-ND

Tabelle 2: BOM der Level- Shifter Platine

10 Bauteile des Level Shifters

10.1 TSV911AIDCKR

Dieses Bauteil ist ein Rail-to-Rail Operationsverstärker, der mit einer Versorgungsspannung von 5V betrieben wird. Durch einen Spannungsteiler werden fünf Volt auf vier Volt heruntergeteilt, und der Operationsverstärker wird als Buffer mit Verstärkung eins genutzt, damit sich die Spannung des Spannungsteilers nicht durch Belastung ändert. Um den Spannungsteiler nicht zu belasten, wird ein Operationsverstärker mit hochohmigem Eingang verwendet. Beim TSV911 beträgt der Eingangsstrom nur 1-10pA. [13]

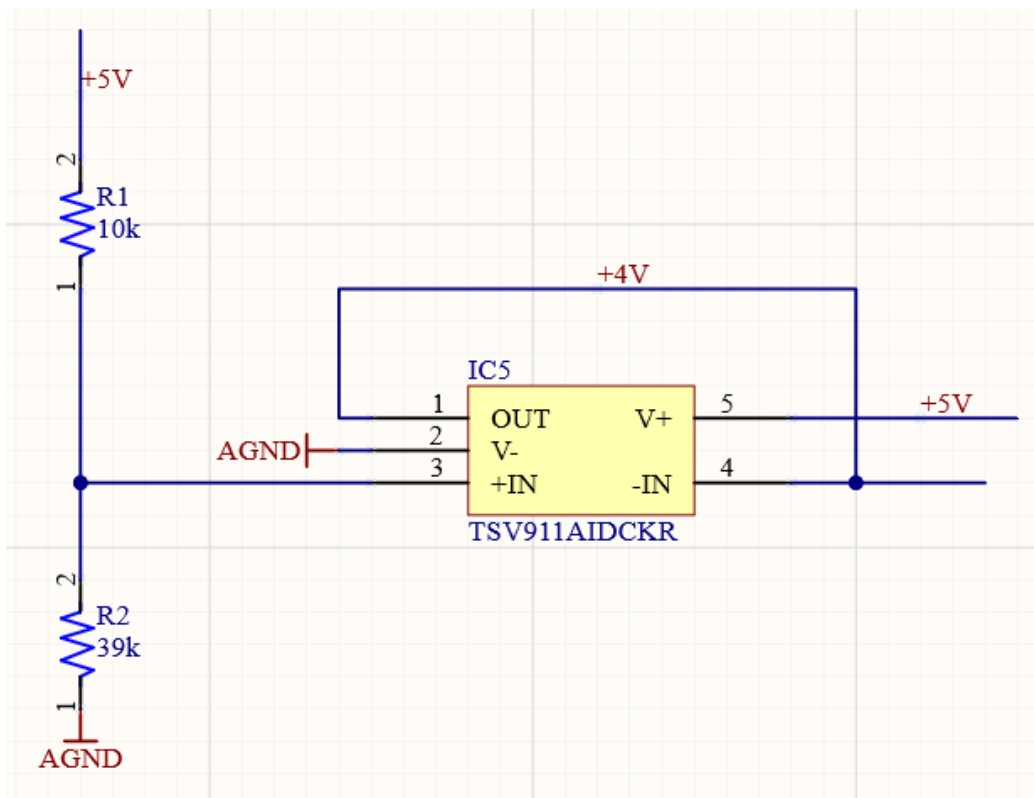


Abbildung 27: Schaltung zur Generierung der Level Shifter-Pegel

10.2 NLAB3157DFT2G

Der NLAB ist ein Multiplexer- Baustein. Als Beispiel wird die Instanz IC17 des Schaltplans genommen (siehe Abbildung 29). Der FPGA-Ausgang „JP_SCK_DAC“ wird mit dem Eingang „SELECT“ verbunden. Das „SELECT“ Signal wählt aus, welcher Eingangskanal durchgeschaltet wird. Ist das Eingangssignal SELECT 0, dann wird B0 mit A verbunden, bei 1 wird B1 mit A verbunden. Diese Verbindung funktioniert auch bidirektional, hier wird jedoch A als Ausgang genutzt. Wie bereits oben beschrieben liegt bei einem Eingangssignal von 0V am Ausgang A eine Spannung von 1V, bei 1V 4V an. Dieses Prinzip gilt bei allen zwölf „NLAB“ Bausteinen.

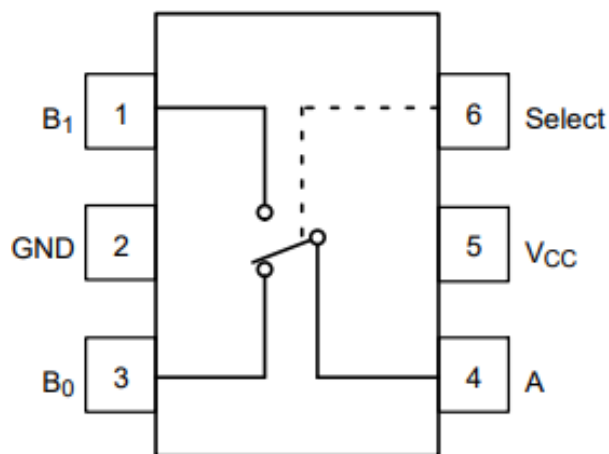


Abbildung 28: Schaltsymbol des Multiplexers laut Datenblatt [14]

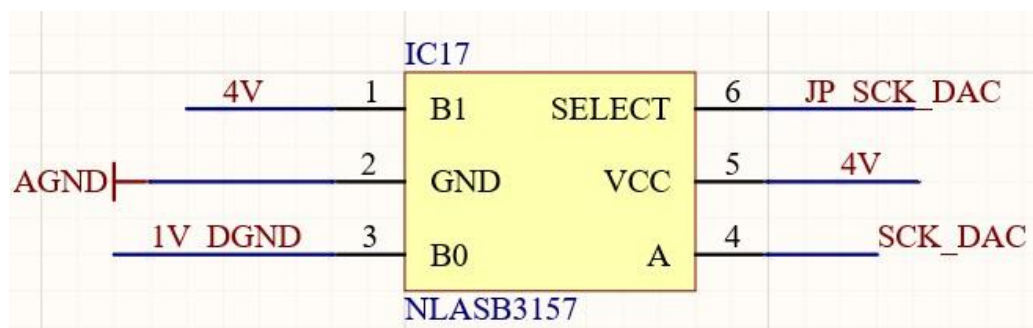


Abbildung 29: Schaltsymbol des Multiplexers in Altium Designer

11 Analog- Digitalwandler Leiterplatte

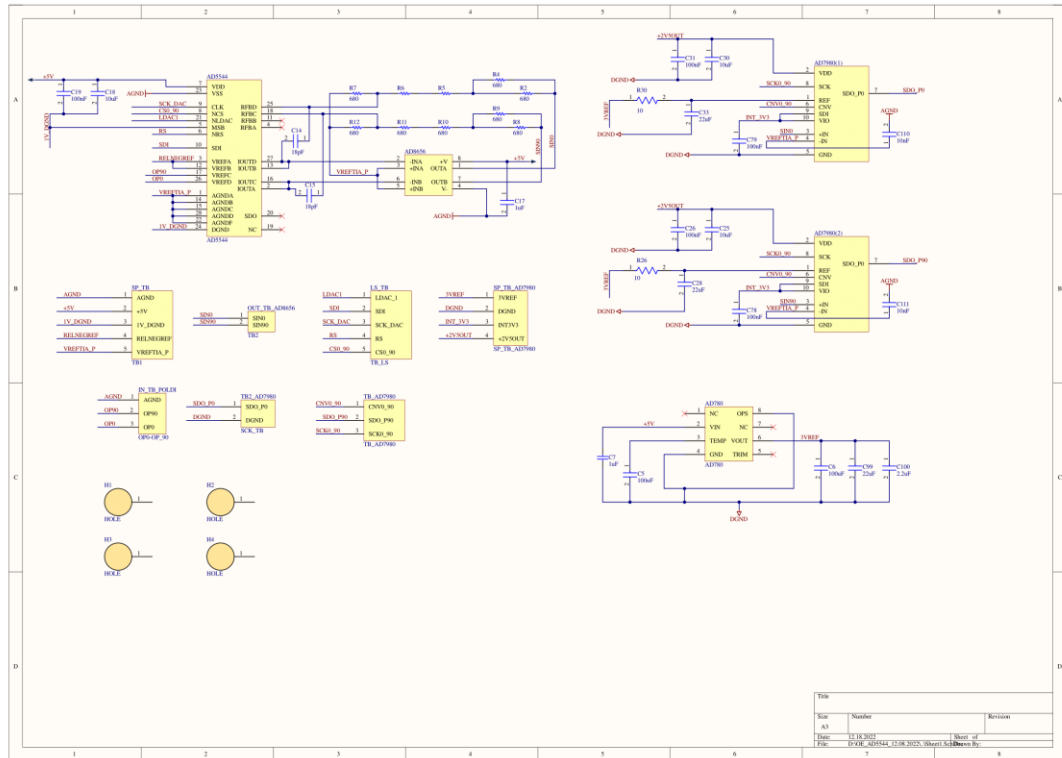


Abbildung 30: Schematic der Analog/ Digital Wandlungs Platine

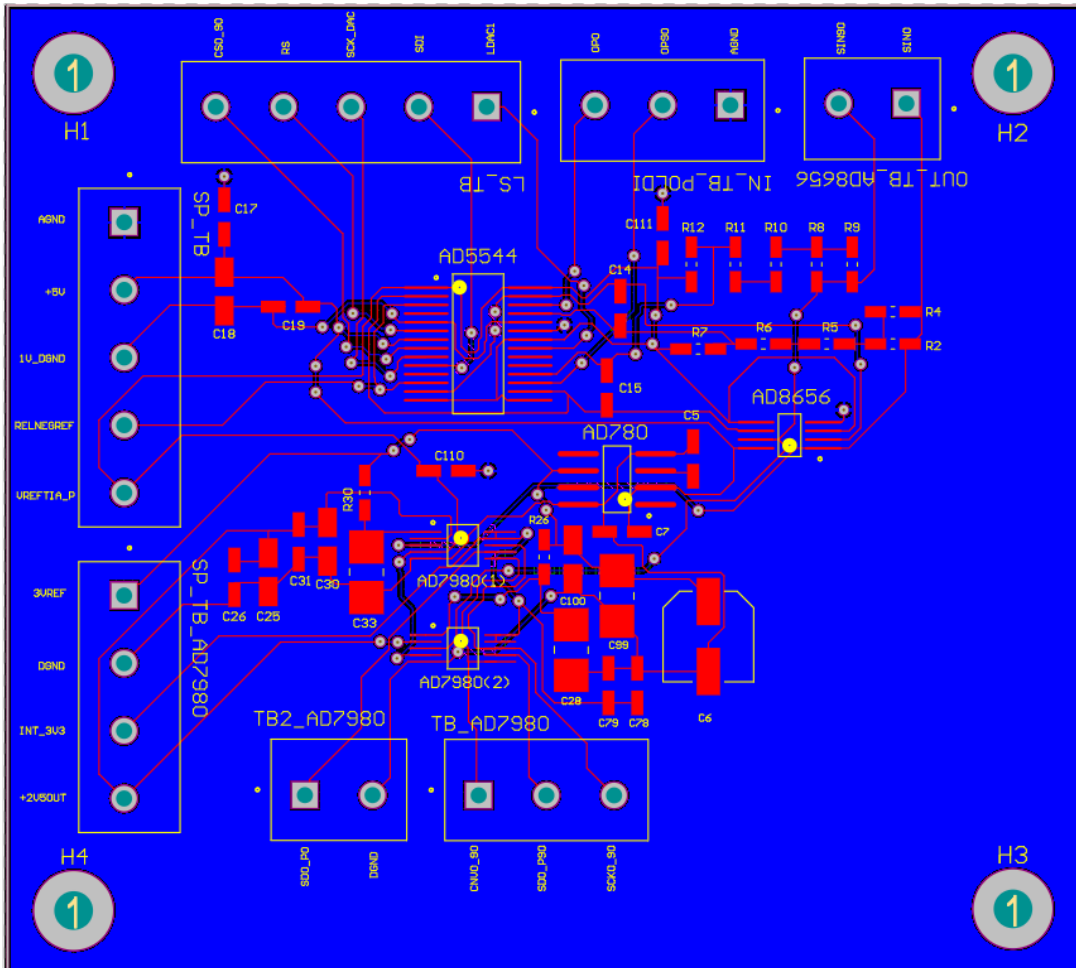


Abbildung 31: Layout der Analog/ Digital Wandlungs Platine

12 BOM Analog- Digitalwandler Platine

Bauteil	Wert	Größe	Bezeichnung	Hersteller	Digi-Key- Teilenummer
AD5544		28SSOP	AD5544BRSZ	Analog Devices Inc.	505-AD5544BRSZ-ND
AD8656		8-SOIC	AD8656ARZ-REEL7	Analog Devices Inc.	505-AD8656ARZ-REEL7TR-ND
AD7980 (2x)		10-MSOP	AD7980BRMZRL7	Analog Devices Inc.	505-AD7980BRMZRL7TR-ND
AD780		8-SOIC	AD780BRZ	Analog Devices Inc.	505-AD780BRZ-ND
R2;R4-12 (10 Stück)	680Ohm	0603	ERA-3AEB681V	Panasonic Electronic Components	P680DBTR-ND
C14,C15 (2x)	18pF	0805	C0805C180J5GAC7800	KEMET	399-C0805C180J5GAC7800TR-ND
C11;C19;C26;C31; C78;C79 (6 Stück)	100nF	0402	C0402C104K8PAC7867	KEMET	399-C0402C104K8PAC7867TR-ND
C18;C30;C25 (3 Stück)	10uF	0603	GRM188R60J106ME47D	Murata Electronics	490-3896-2-ND
C17;C7 (2 Stück)	1uF	1206	C1206C105K5RAC7800	KEMET	399-C1206C105K5RAC7800TR-ND
C33;C28;C99 (3 Stück)	22uF	0805	C0805C226M9PAC7800	KEMET	399-C0805C226M9PAC7800TR-ND
C110;C111	10nF	0603	CC0603KRX7R9BB103	YAGEO	311-1085-2-ND
R26;R38	100Ohm	0603	ERJ-3EKF10R0V	Panasonic Electronic Components	P10.0HTR-ND
C6	100uF	1210	GRM32ER60J107ME20L	Murata Electronics	490-3390-2-ND
C100	2.2uF	0603	GRM188R71A225KE15D	Murata Electronics	490-4520-2-ND
Terminal Block 2 Pin (6x)	2 Pin 2,54mm	2,54mm	OSTTC022162	On Shore Technology	ED2609-ND
Terminal Block 3 Pin (4x)	3 Pin 2,54mm	2,54mm	OSTTC032162	On Shore Technology	ED2610-ND

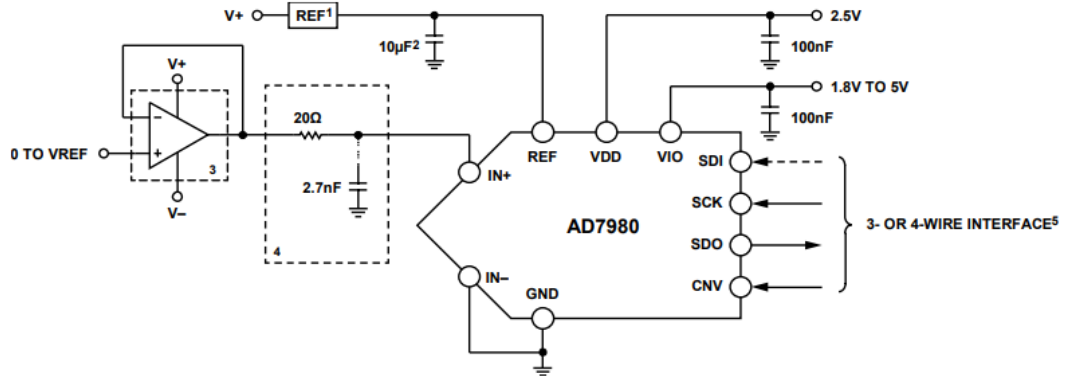
Tabelle 3: BOM der Analog/ Digital Wandlungs Platine

13 Bauteile der Analog- Digitalwandler Platine

13.1 AD7980

Der AD7980 ist ein 16- Bit- Analog- Digital- Wandler (ADC). Dieser wird von einer positiven Betriebsspannung VDD mit 2,5V versorgt. Der Baustein hat eine zusätzliche digitale Eingabe/Ausgabe- Schnittstellenversorgung mit dem Pin-Namen „VIO“. „VIO“ benötigt eine Spannung zwischen 1,8V und 5V, in diesem Fall werden 3,3V benutzt. „VIO“ und „VDD“ können miteinander verbunden werden, um die Anzahl benötigter Spannungen zu reduzieren. Wenn möglich, sollte „VIO“ größer oder gleich „VDD“ sein, damit die Steuerung der Ausgangsspannung beim Einschalten der Stromversorgung unempfindlich ist. Wenn im Normalbetrieb „VIO“ kleiner als „VDD“ ist, dann muss „VIO“ vor „VDD“ angeschaltet werden. Ein weiterer Pin des Bauteils ist der „CNV“- Eingang. „CNV“ hat mehrere Funktionen. Hauptsächlich konvertiert und wählt er den Schnittstellenmodus des Bauteils, also den Ketten- oder den CS-Modus aus. Im CS- Modus aktiviert er den SDO- Pin, wenn „CNV“ low ist. Im Kettenmodus sollten die Daten gelesen werden, wenn „CNV“ hoch ist. Der SDI- PIN wird für die serielle Dateneingabe verwendet. „SDI“ hat auch mehrere Funktionen. Wie der „CNV“, beeinflusst „SDI“ die Schnittstelle-Konfiguration. Wenn „SDI“ bei ansteigender „CNV“ Flanke low ist, wird der Kettenmodus aktiviert. In diesem Modus gilt der „SDI“ als Dateneingang, welcher die Konvertierungsergebnisse von zwei oder mehr ADCs auf eine SDO- Leitung schaltet. Wenn „SDI“ im Moment der steigenden „CNV“ Flanke high ist, wird der CS- Modus aktiviert. Der CS-Modus aktiviert die seriellen Ausgangssignale mit „SDI“ oder „CNV“. An den Eingangspin „REF“ wird die Referenzeingangsspannung „3VREF“ angelegt. Sie reicht von 2,4V bis 5,1V mit Bezug zu DGND. In diesem Projekt wird eine Spannung von 3V an „REF“ angelegt. Der „IN-“ Pin ist mit DGND verbunden. „IN+“ ist der analoge Eingang und liegt zwischen 0V und der Referenzspannung von 3V. Mit dem Datentakteingang „SCK“ wird das Konvertierungsergebnis am SDO- Ausgang seriell ausgegeben. Der

Datenausgabe- PIN „SDO“ ist mit „SCK“ verknüpft und gibt das Konvertierungsergebnis aus. [15]



- ¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
- ²C_{REF} IS USUALLY A 10µF CERAMIC CAPACITOR (X5R).
- ³SEE THE DRIVER AMPLIFIER CHOICE SECTION.
- ⁴RECOMMENDED FILTER CONFIGURATION. SEE THE ANALOG INPUTS SECTION.
- ⁵SEE THE DIGITAL INTERFACE FOR THE MOST CONVENIENT INTERFACE MODE.

00092013

Abbildung 32: Im Datenblatt vorgeschlagene Beschaltung des ADC [15]

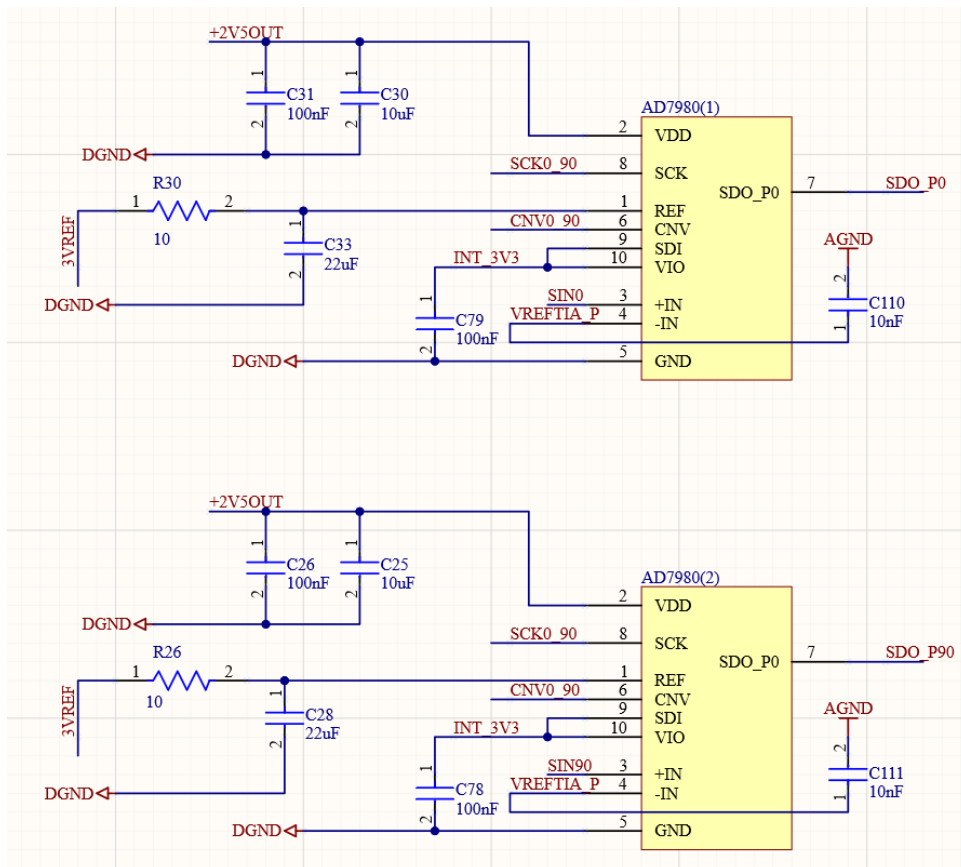


Abbildung 33: Im Projekt verwendete Beschaltung des ADC

Zum Schutz vor Störungen der Schaltung ist beim REF- Pin ein RC- Glied in Reihe geschaltet. Dieses setzt sich aus einem Widerstand und einem Kondensator zusammen. Da Widerstand und Kondensator in einer Reihe geschaltet sind, ergibt sich ein Tiefpass 1. Ordnung. Das Tiefpassfilter reduziert Signale mit hohen Frequenzen und Signale mit niedrigen Frequenzen lässt er durch. Die Verstärkungen für Niederfrequenz- Signale betragen ungefähr 0 dB bzw. 1. Das bedeutet, dass sie weder gedämpft noch verstärkt werden. Die Verstärkung nimmt mit einer Rate von 20 dB pro Dekade (Intervall von 10:1) ab. Die Verstärkung wird in der dB-Darstellung negativ oder in der linearen Darstellung kleiner als 1 und größer als 0. Daher ist die Verstärkung der Hochfrequenz kleiner als 1, was einer Dämpfung entspricht. Der Graph (Abbildung 34) zeigt den Verlauf der Ausgangsspannung „ U_a “. Das Frequenzverhalten des Tiefpassfilters im Zusammenhang mit der Frequenz. „ f_g “ bestimmt man wie folgt: [16]

$$f_g = \frac{1}{2\pi \cdot R \cdot C} = \frac{1}{2\pi \cdot 100\text{ohm} \cdot 22\mu\text{F}} = 723,43\text{Hz} \quad (7)$$

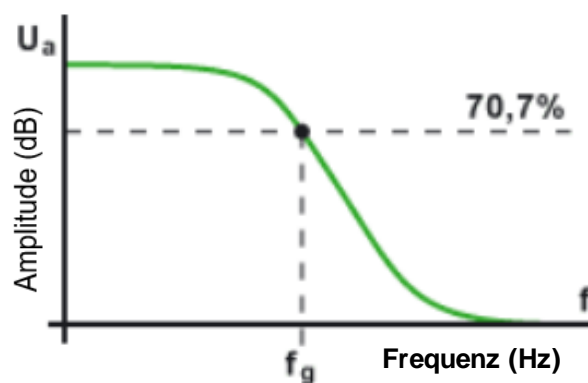


Abbildung 34: Grenzfrequenz- Diagramm [17]

Die Tiefpassfilterschaltung der Referenzspannung hat eine Grenzfrequenz von 723,43Hz. Bei höheren Frequenzen fällt die Verstärkung $\left(\frac{U_a}{U_e}\right)$ ab. Die Grenzfrequenz liegt bei 70,7% $\left(\frac{1}{\sqrt{2}}\right)$ der maximalen Verstärkung. Die

Grenzfrequenz hängt von dem Widerstand und der Kapazität des Kondensators ab. Alle Frequenzen unter der Grenzfrequenz von 723,43Hz, sind tiefe Frequenzen. Diese werden besser durchgelassen als hohe Frequenzen, die größer als die Grenzfrequenz sind. [17]

Laut Datasheet ist jeweils ein 100nF Kondensator an dem VDD- Pin und VIO- Pin optimal geeignet. Am VDD- Pin wurde der 100nF Kondensator parallel mit einem 10uF Kondensator geschaltet. Dadurch ergibt sich:

$$C_{total} = \frac{1}{\frac{1}{100nF} + \frac{1}{10\mu F}} = 10,10\mu F \quad (8)$$

Die parasitären Eigenschaften realer Kondensatoren führen zu einem Verhalten, das vom Frequenzgang eines idealen Kondensators abweicht. Prinzipiell ist es so, dass die Frequenz, bis zu der die Impedanzkurve eines Kondensators dem idealen Verlauf folgt, von der Kapazität des Kondensators abhängt und mit zunehmender Kapazität sinkt. Aus diesem Grund werden in diesem Projekt zwei Kondensatoren unterschiedlicher Kapazität parallel geschaltet.

13.2 AD780

Der AD780 ist eine Bandabstandsreferenz (Band Gap Reference Voltage). Diese generiert aus einer Eingangsspannungen zwischen vier und 36 Volt eine temperaturstabile Referenzspannung von 2,5 oder 3V. In diesem Projekt liegen 5V V_{in} an, und es wird eine Referenzspannung von 3V erzeugt. Die Referenzspannung von 3V wird über das RC- Glied an den REF- Pin des AD7980 Bausteins verbunden. Um das Rauschverhalten zu verbessern, können zwei Kondensatoren hinzugefügt werden. Ein Lastkondensator (C1) zwischen Ausgang und Masse und ein Kompensations Kondensator (C2). C2 sollte zwischen dem „TEMP“ Pin und Masse liegen. Laut Datasheet ist 100nF für C2 und 100uF für C1 gut zur Stabilisierung geeignet. Zusätzlich werden noch 22uF und 2,2uF verwendet. Die Spannung wird dadurch noch weiter stabilisiert. Mit dem „TEMP“ Pin kann die Temperatur überprüft werden. [11]

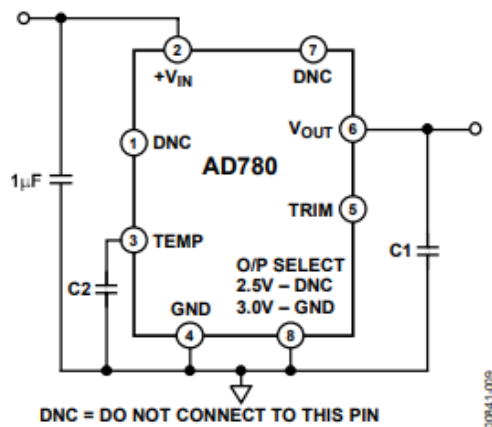


Abbildung 35: Beschaltung der Bandgapspannungsreferenz laut Datenblatt [18]

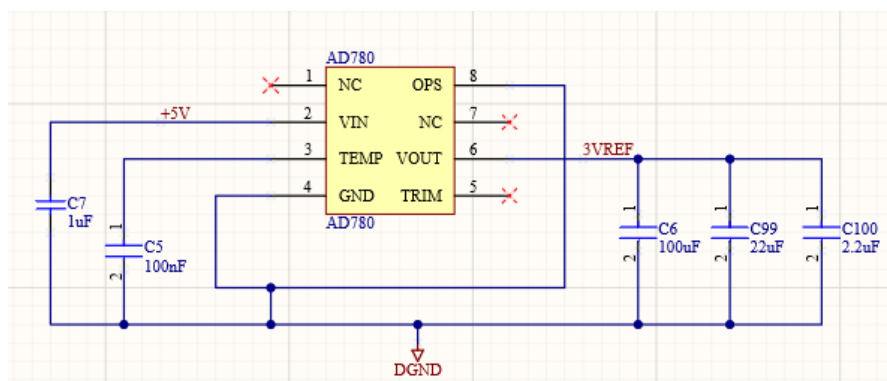


Abbildung 36: Beschaltung der Bandgapspannungsreferenz im Altium Designer Projekt

13.3 AD5544

Der AD5544 ist ein multiplizierender Digital- Analog- Wandler (MDAC) mit einer SPI-Kontrollschnittstelle, die über einen FPGA-Baustein bedient wird, welcher mit einem PC kommuniziert. Die Eingangsspannungen sind „VREFA“ bis „VREFD“. Ein Digital-Analog-Wandler wandelt die digitalen Daten in analoge Spannungen um, die proportional zum Datenwort sind. Ein Multiplizierender DA- Wandler multipliziert den Digitalwert mit der Eingangsspannung. Das heißt wenn man einen Digitalwert von Null einstellt, dann ist das Ergebnis an „IOUT“ Null. Wenn der Digitalwert auf das Maximum eingestellt wird, dann ist das Ergebnis an „IOUT“ der Maximalstrom, der VREF entspricht. Ist der Digitalwert auf die Hälfte des Maximalwertes eingestellt, ist das Ergebnis an „IOUT“ die Hälfte des Maximalstroms. An „VREFC“ und „VREFD“ liegen analoge Spannungen, die vom POLDI- Sensor kommen. Sowohl an „VREFA“ als auch an „VREFB“ liegt die Referenzspannung „RELNEGREF“ an, da die Pins miteinander verbunden sind. Die DAC- Ausgänge „IOUTA“ und „IOUTC“ sind zusammen geschaltet. Da es sich um Stromausgänge handelt, werden die beiden Ströme durch die Zusammenschaltung miteinander addiert. Dies bedeutet, dass der Strom von Kanal A an dem „RELNEGREF“ anliegt und der Strom von Kanal C an dem „OP90“ anliegt, addiert werden. Das gleiche Prinzip gilt bei „IOUTB“ und „IOUTD“. Der Strom aus Kanal B, an dem die Spannung „RELNEGREF“ anliegt und der Strom aus Kanal C, an dem die Spannung des POLDI Sensors „OP0“ anliegt, werden durch Zusammenschaltung der Stromausgänge „IOUTD“ und „IOUTB“ zusammenaddiert. An die auf diese Weise miteinander verbundenen Ausgänge des AD5544 MDACs wird jeweils ein Operationsverstärker vom Typ AD8656 angeschlossen. Dessen Aufgabe ist es, den Strom des MDACs in eine Spannung umzuwandeln. Der Operationsverstärker ist als Transimpedanzverstärker beschaltet, dessen Feedbackwiderstand den Wandlungsfaktor des Stroms in eine Spannung definiert. Im konkreten Fall werden weitere Widerstände am Ausgang des Operationsverstärkers verwendet, um den Wandlungsfaktor weiter zu

erhöhen. Die Widerstände, die dafür erforderlich sind, sind mit den konkreten Werten auf dem Markt nicht erhältlich. Deshalb wurden mehrere Widerstände zusammen geschaltet. Durch Parallel- und Reihenschaltung ergeben sich die gewünschten Werte. Zusätzlich ist zu berücksichtigen, dass sich ein Teil des Feedbackwiderstandes, von 5kOhm innerhalb des MDACs befindet und über die Pins RFBC bzw. RFBD angeschlossen wird. Jedoch sollte auf Grund der Fehlerfortpflanzung sehr genaue Widerstände verwendet werden. Sogar bei 1% Toleranz ergibt sich ein Wandlungsfaktor, der vom gewünschten Wert stark abweicht. Aus diesem Grund werden Widerstände mit 0,1% Toleranz verwendet, damit der eingestellte Wert so genau wie möglich ist.

13.3.1 AD5544 Berechnung

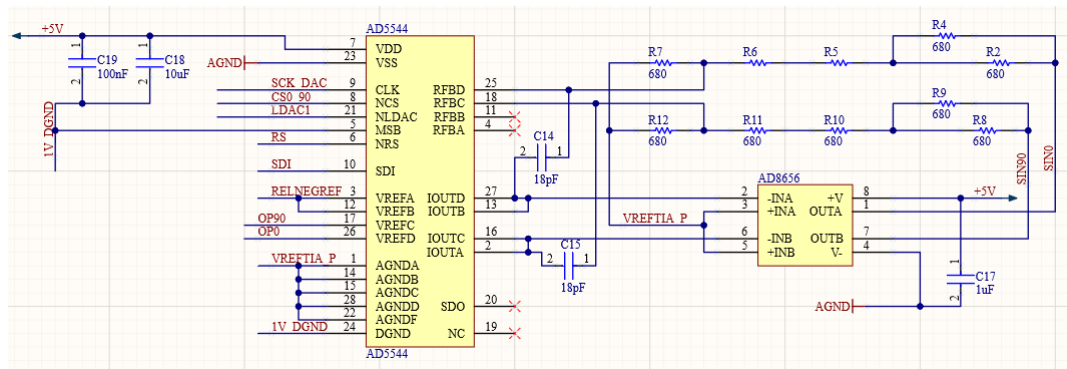


Abbildung 37: Zusammenschaltung des MDACs mit dem als Transimpedanzverstärker beschalteten Operationsverstärker

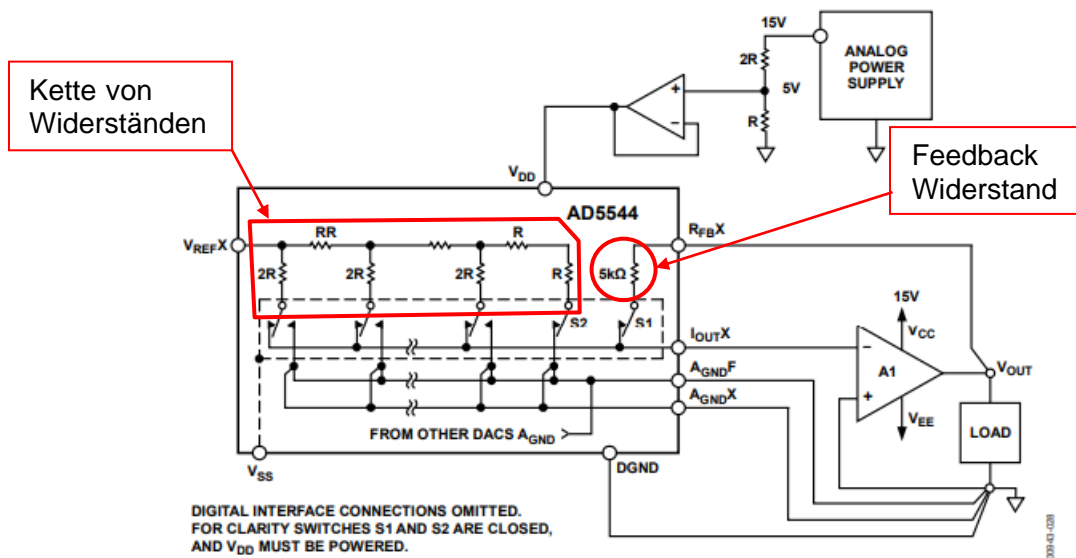


Abbildung 38: Funktionsprinzip des AD5544 MDAC Bausteins mit integriertem Feedbackwiderstand [18]

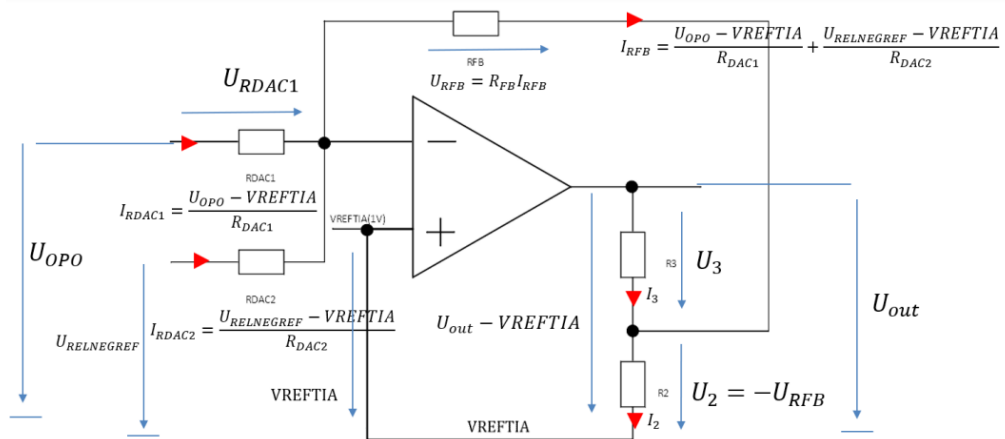


Abbildung 39: Diagramm zur Berechnung des Strom zu Spannungswandlungsfaktors der POLDI-Sensor Ausleseschaltung

Wie bereits oben beschrieben werden für die Auslesung eines Kanals eines POLDI- Sensors zwei Kanäle des AD544 MDACs verwendet. Die Eingangsspannung wird im IC über die geschalteten Widerstände $RDAC1$ und $RDAC2$ in Ausgangsströme umgewandelt. Es handelt sich hierbei um eine Kette von Widerständen (siehe Abbildung 38). Mit dem steuernden Digitalwert wird festgelegt, welche Schalter geschlossen bzw. geöffnet werden, wodurch sich eine Gewichtung der Eingangsspannung ergibt. In jedem Kanal des MDACs ist ein interner Feedback- Widerstand R_{FB} vorhanden, der $5k\Omega$ beträgt und von außen beschaltet werden kann. Im Prinzip liegen dann zwischen der Eingangsspannung V_{REF} aus Abbildung 38 und dem Ausgangspin I_{OUT} die konfigurierbaren Widerstände. Es werden zwei Kanäle miteinander verbunden, zum Beispiel Kanal „B“ und „D“. An einem Kanal wird die Signalspannung angelegt und an den anderen Kanal eine Referenzspannung. An Kanal D ist die Ausgangsspannung $OP0$ des Poldi- Sensors angeschlossen. Der $OP0$ Ausgang des Poldi- Sensors entspricht dem Sensorsignal mit einem vorgeschalteten Polarisationsfilter mit einer Ausrichtung von 0° Grad. Der Ausgang $OP90$ entspricht dem Ausgang des Poldi- Sensors mit einem vorgeschalteten Polarisationsfilter mit einer Ausrichtung von 90° Grad. An

den Ziffern kann man also erkennen, um welchen Sensorkanal des Poldi-Sensors es sich handelt. In Abbildung 39 sind Kanal D als UOP0 und Kanal B als URELNEGREF bezeichnet. VREFTIA entspricht dem lokalen Ground, welches jedoch bezüglich der globalen Masse um 1V verschoben ist. Im Altium Schaltplan befindet sich eine Parallelschaltung von zwei 340-Ohm-Widerständen R2 und R4, die in Reihe mit zwei 680-Ohm-Widerständen R5 und R6 geschaltet sind was sich zu folgendem Wert berechnen lässt:

$$R5 + R6 = 680\Omega + 680\Omega = 1360\Omega \quad (9)$$

Die Parallelschaltung von R2 und R4 ergibt:

$$\frac{R2R4}{R2 + R4} = \frac{680\Omega * 680\Omega}{680\Omega + 680\Omega} = 340\Omega \quad (10)$$

Beide hintereinandergeschaltet ergibt die Summe 1700Ohm. Diese Widerstände sind in der Abbildung 39 als R3 zusammengefasst.

Die Summe der Ströme IOU_{TB} und IOU_{TD} ist mit dem invertierten Eingang -IN des Operationsverstärkers AD8656 verbunden. Der Ausgang des OPs ist über den Widerstand R3 von 1700Ohm mit dem internen Feedback- Widerstand RFB des DACs von 5kOhm verbunden. Mit einem zusätzlichen Widerstand R2 von 680Ohm ist R3 auch mit den Eingängen +INA und +INB verbunden. „IOU_{TB}“ und „IOU_{TD}“ sind mit einem Kondensator C14 von 18pF mit „RFBD“ verbunden. Dieser Kondensator filtert Störungen bei hohen Frequenzen. Wenn bei einer Operationsverstärkerschaltung der Ausgang auf den negativen Eingang zurückgeführt wird, entsteht ein virtueller Kurzschluss. Virtueller Kurzschluss heißt, dass sich am invertierenden Eingang und am nicht-Invertierenden Eingang aufgrund der Rückführung das gleiche Potenzial beziehungsweise die gleiche Spannung einstellen. Da der positive Eingang +IN mit VREFTIA verbunden ist, liegt auch am negativen Eingang -IN

VREFTIA an.

Über RDAC1 ist UOP0 mit dem negativen Eingang -IN verbunden. Um die Spannung über den Widerstand „RDAC1“ zu berechnen, wendet man die Maschenregel an, so dass sich ergibt:

$$-U_{OP0} + U_{RDAC1} + V_{REFTIA} = 0 \quad (11)$$

$$U_{RDAC1} = U_{OP0} - V_{REFTIA} \quad (12)$$

Die Spannung am zweiten Widerstand, an der „RELNEGREF“ anliegt, wird mit dem gleichen Rechenprinzip berechnet zu:

$$-U_{RELNEGREF} + U_{RDAC2} + V_{REFTIA} = 0 \quad (13)$$

$$U_{RDAC2} = U_{RELNEGREF} - V_{REFTIA} \quad (14)$$

Nun müssen die Ströme „IRDAC1“ und „IRDAC2“ ermittelt werden, indem die entsprechende Spannung durch den zugehörigen Widerstand geteilt wird:

$$I_{RDAC1} = \frac{U_{OP0} - V_{REFTIA}}{R_{DAC1}} \quad (15)$$

$$I_{RDAC2} = \frac{U_{RELNEGREF} - V_{REFTIA}}{R_{DAC2}} \quad (16)$$

Diese zwei Ströme fließen zusammen in den Knoten und ergeben damit einen Gesamtstrom.

Der Strom fließt dann durch den Feedback Widerstand „RFB“. Der Feedbackstrom „IRFB“ entspricht der Summe der beiden Ströme:

$$I_{RDAC1} + I_{RDAC2} - I_{RFB} = 0 \quad (17)$$

$$I_{RFB} = I_{RDAC1} + I_{RDAC2} \quad (18)$$

An „RFB“ stellt sich ein Spannungsabfall „URFB“ ein, dessen Wert man mit Hilfe von „RFB“ und „IRFB“ über das ohmsche Gesetz errechnen kann:

$$U_{RFB} = R_{FB} I_{RFB} \quad (19)$$

Als nächstes kann man durch die Maschenregel „U3“ bestimmen:

$$-U_3 + U_{OUT} - V_{REFTIA} + U_{RFB} = 0 \quad (20)$$

$$U_3 = U_{OUT} - V_{REFTIA} + U_{RFB} \quad (21)$$

Mit „U3“ kann der Strom „I3“ über das ohmsche Gesetz berechnet werden:

$$I_3 = \frac{U_3}{R_3} = \frac{U_{out} - V_{REFTIA} + U_{RFB}}{R_3} \quad (22)$$

Die Spannung U_2 kann in ähnlicher Weise berechnet werden. Am nichtinvertierenden Eingang -IN liegt wegen des virtuellen Kurzschlusses V_{REFTIA} an. Die Anwendung der Maschenregel ergibt:

$$-V_{REFTIA} + U_2 + U_{RFB} + V_{REFTIA} = 0 \quad (23)$$

$$U_2 + U_{RFB} = 0 \quad (24)$$

Nach U_2 aufgelöst ergibt:

$$U_2 = -U_{RFB} \quad (25)$$

Der Strom I_2 ergibt sich dann über das ohmsche Gesetz zu:

$$I_2 = \frac{-U_{RFB}}{R_2} \quad (26)$$

Über die Knotenregel können die Ströme I_2 , I_3 und I_{RFB} in Bezug gesetzt werden. Die Knotenregel besagt, dass die Summe aller Ströme Null ist. Deshalb ergibt sich:

$$I_3 + I_{RFB} - I_2 = 0 \quad (27)$$

Nun werden die Formeln für jeden Strom eingesetzt:

$$\frac{U_{out} - V_{REFTIA} + U_{RFB}}{R_3} + I_{RFB} + \frac{U_{RFB}}{R_2} = 0 \quad (28)$$

Es wird $U_{RFB} = R_{FB} \cdot I_{RFB}$ in die Gleichung eingesetzt und I_{RFB} ausgeklammert. Dann ergibt sich:

$$\frac{U_{out} - V_{REFTIA} + R_{FB} I_{RFB}}{R_3} + I_{RFB} + \frac{R_{FB} I_{RFB}}{R_2} = 0 \quad (29)$$

$$\left(\frac{R_{FB}}{R_3} + 1 + \frac{R_{FB}}{R_2} \right) I_{RFB} + \frac{U_{out} - V_{REFTIA}}{R_3} = 0 \quad (30)$$

Da der Sinn dieser Rechnung darin besteht, die Ausgangsspannung der Schaltung U_{OUT} zu berechnen, wird diese Formel nach „ U_{OUT} “ aufgelöst:

$$\frac{U_{out} - V_{REFTIA}}{R_3} = - \left(\frac{R_{FB}}{R_3} + 1 + \frac{R_{FB}}{R_2} \right) I_{RFB} \quad (31)$$

Durch Multiplikation beider Seiten der Gleichung mit R_3 ergibt sich:

$$U_{out} - V_{REFTIA} = - \left(\frac{R_{FB} \cancel{R_3}}{\cancel{R_3}} + 1 R_3 + \frac{R_{FB} R_3}{R_2} \right) I_{RFB} \quad (32)$$

$$U_{out} - V_{REFTIA} = - \left(R_{FB} + R_3 + \frac{R_3 R_{FB}}{R_2} \right) I_{RFB} \quad (33)$$

Durch Ausklammern von -R_{F_{FB}} auf der rechten Seite der Gleichung ergibt sich:

$$U_{out} - V_{REFTIA} = -R_{FB} \left(1 + \frac{R_3}{R_{FB}} + \frac{R_3}{R_2} \right) I_{RFB} \quad (34)$$

Der Term 1 in Gleichung 34 wird zum Bruch R₂/R₂ erweitert. Dieser Bruch wird mit R₃/R₂ zusammengefasst, so dass sich ergibt:

$$U_{out} - V_{REFTIA} = -R_{FB} \left(\frac{R_3 + R_2}{R_2} + \frac{R_3}{R_{FB}} \right) I_{RFB} \quad (35)$$

IR_{F_{FB}} aus Gleichung 18 wird zusammen mit Gleichung 15 und 16 in Gleichung 35 eingesetzt, so dass sich ergibt:

$$U_{out} - V_{REFTIA} = -R_{FB} \left(\frac{R_3 + R_2}{R_2} + \frac{R_3}{R_{FB}} \right) \left(\frac{U_{OP0} - V_{REFTIA}}{R_{DAC1}} + \frac{U_{RELNEGREF} - V_{REFTIA}}{R_{DAC2}} \right) \quad (36)$$

Durch Ausklammern von R_{DAC1} und R_{DAC2} ergibt sich:

$$U_{out} - V_{REFTIA} = -\frac{R_{FB}}{R_{DAC1}} \left(\frac{R_3 + R_2}{R_2} + \frac{R_3}{R_{FB}} \right) (U_{OP0} - V_{REFTIA}) - \frac{R_{FB}}{R_{DAC2}} \left(\frac{R_3 + R_2}{R_2} + \frac{R_3}{R_{FB}} \right) * (U_{RELNEGREF} - V_{REFTIA}) \quad (37)$$

Für R_{DAC1} gilt:

$$R_{DAC1} = \frac{R_{FB} * 65536}{N_{DAC1}} \quad (38)$$

Für R_{DAC2} gilt:

$$R_{DAC2} = \frac{R_{FB} * 65536}{N_{DAC2}} \quad (39)$$

$N_{DAC1,2}$ sind dabei die gewählten DAC-Einstellungen zwischen 1 und 65536. Nun werden die Gleichungen für RDAC1 und RDAC2 in Formel 37 eingesetzt.

$$U_{out} - V_{REFTIA} = -\frac{N_{DAC1}}{65536} \left(\frac{R_3 + R_2}{R_2} + \frac{R_3}{R_{FB}} \right) (U_{OP0} - V_{REFTIA}) - \frac{N_{DAC2}}{65536} \left(\frac{R_3 + R_2}{R_2} + \frac{R_3}{R_{FB}} \right) (U_{RELNEGREF} - V_{REFTIA}) \quad (40)$$

Durch Einsetzen der verwendeten Widerstandswerte und der Werte für die Spannungen VREFTIA und URELNEGREF kann die Ausgangsspannung berechnet werden. Einsetzen der folgenden Werten $R_2=680\Omega$; $R_3=1700\Omega$; $R_{FB}=5k\Omega$; $U_{RELNEGREF}=0,375V$ und $V_{REFTIA}=1V$ in Gleichung 40 liefert Gleichung 41:

$$U_{out} - V_{REFTIA} = -\frac{N_{DAC1}}{65536} * 3,84 * (U_{OP0} - 1V) + \frac{N_{DAC2}}{65536} * 2,4V \quad (41)$$

Formel 41 wird nach UOUT umgestellt und dadurch entstehen zwei separate Terme. Ein Term wird mit UOP0 und URELNEGREF multipliziert und einmal mit VREFTIA. Am Ende wird noch +1 für VREFTIA hinzuaddiert.

$$U_{out} = -\frac{N_{DAC1}}{65536} (3,84)U_{OP0} - \frac{N_{DAC2}}{65536} * 1,44V + 1V \left[3,84 * \left(\frac{N_{DAC1}}{65536} + \frac{N_{DAC2}}{65536} \right) + 1 \right] \quad (42)$$

13.3.2 DAC-Einstellung

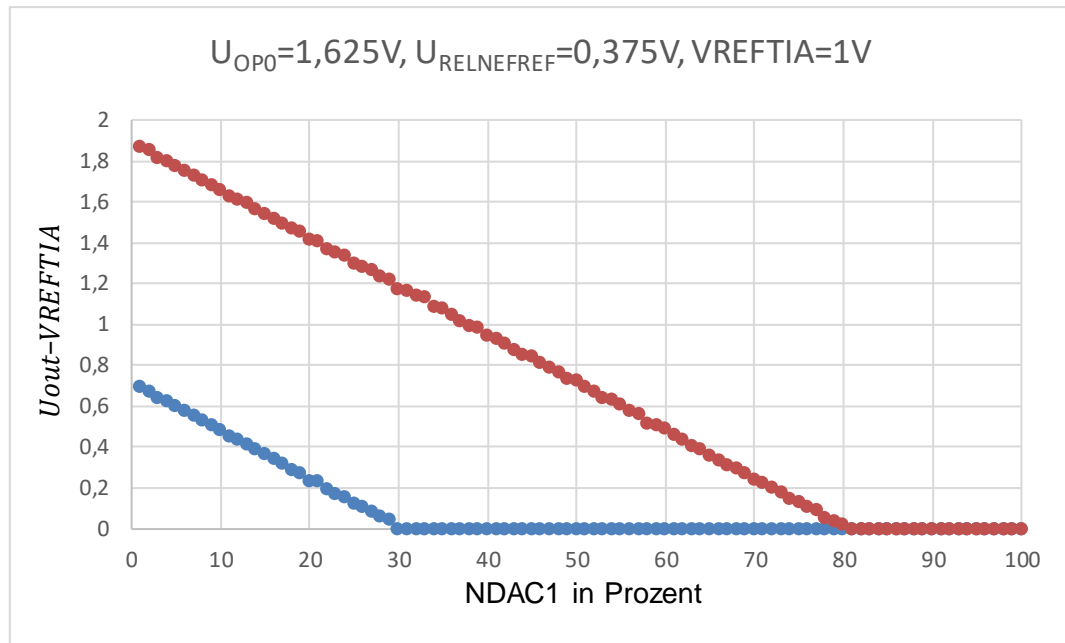


Abbildung 40: Ausgangsspannung der POLDI-Ausleseketten bezogen auf VREFTIA als Funktion des DAC-Settings von Kanal 1

Abbildung 40 zeigt die Messungen der Ausgangsspannung gegen VREFTIA mit vorgegebenem NDAC2 als Funktion von NDAC1. Bei der roten Kurve wurde $NDAC2/65536=0,8$ eingestellt, bei der blauen Kurve wurde $NDAC2/65536=0,3$ eingestellt. NDAC1 wird variiert und auf der x-Achse aufgetragen. Dieser Graph zeigt, dass die Ausgangsspannung kleiner wird, je höher NDAC1 eingestellt ist. Es wurden feste Werte für $U_{OP0}=1,625V$, $U_{RELNEGREF}=0,375V$ und $V_{REFTIA}=1V$ ausgewählt. Auf der y-Achse ist die Ausgangsspannung gegen VREFTIA dargestellt, auf der x-Achse die Prozentzahl des Wertes NDAC1 bezogen auf den Wert 65536. Das heißt, ein Wert von 10 bedeutet 10% von 65536. Mit einem Programm zur Ansteuerung des MDACs können die kann der NDAC-Werte von 1 bis 65536 eingestellt werden. Je größer der Abstand zwischen den DAC1 und DAC2 Werten, desto größer wird die Ausgangsspannung gegen VREFTIA. Man erkennt in Abbildung 40, dass die Ausgangsspannung linear abfällt, je mehr NDAC1 sich dem Wert von NDAC2 annähert. Sobald NDAC1 und NDAC2 den gleichen Wert haben

oder NDAC1 größer als NDAC2 ist, ergibt sich eine Ausgangsspannung von 0V.

$$U_{out} - V_{REFTIA} = -\frac{N_{DAC1}}{65536} \left(\frac{R_3 + R_2}{R_2} + \frac{R_3}{R_{FB}} \right) (U_{OP0} - V_{REFTIA}) - \frac{N_{DAC2}}{65536} \left(\frac{R_3 + R_2}{R_2} + \frac{R_3}{R_{FB}} \right) (U_{RELNEGREF} - V_{REFTIA}) \quad (43)$$

$$U_{out} - V_{REFTIA} = -\frac{N_{DAC1}}{65536} * 2,4V + \frac{N_{DAC2}}{65536} * 2,4V \quad (44)$$

In Formel 43 ist der Wert in der blauen Markierung negativ und in der grünen Markierung positiv. $U_{OP0} - V_{REFTIA}$ ist eine positive Zahl und mit $-N_{DAC1}$ multipliziert ergibt sich die negative Zahl im blau markierten Bereich. Im grünen Bereich ist $U_{RELNEGREF} - V_{REFTIA}$ eine negative Zahl, da $U_{RELNEGREF}$ den Wert $-0,625V$ besitzt. Multipliziert mit $-N_{DAC2}$ ergibt sich eine positive Zahl. Der negative Wert verringert die Ausgangsspannung. Wenn die Prozentzahl erhöht wird, wird der negative Wert stärker gewichtet, und deswegen kompensiert er einen größeren Teil des positiven Terms. Deshalb stellt sich in Abbildung 40 ein Spannungsabfall ein. Wenn das Setting für NDAC1 erhöht wird, wird der Widerstand R_{DAC1} kleiner. Dies ist in den Formeln 38 und 39 zu erkennen. Sobald der Wert NDAC1 erhöht wird, wird die Ausgangsspannung kleiner (Siehe Abbildung 40).

Über Formel 44 wird verglichen, ob die Messwerte mit den zu erwarteten Werten übereinstimmen. (Gerundet auf zwei Nachkommastellen).

NDAC1 Einstellung	NDAC2 Einstellung	Messwert	Ergebnis der Formel Uout-VREFTIA	Abweichung
10%	30%	0,49V	0,48V	0,01V
20%	30%	0,24V	0,24V	0V
50%	30%	0V	(-0,48V)	(-0,48V)
10%	80%	1,66V	1,66V	0V
20%	80%	1,42V	1,44V	0,02V
50%	80%	0,73V	0,72V	0,01V
80%	80%	0,03V	0V	0,03V

Tabelle 4: Messwerte verglichen mit den Ergebnissen der Formel

Als Veranschaulichung der Rechnung wurde die rote Kurve genommen. NDAC2 ist auf 80% eingestellt. NDAC1 wird für das Beispiel bei 50% angesetzt. Somit ergibt sich diese Formel:

$$U_{out} - 1V = -0,5 * (3,84)(1,625V - 1V) - 0,8 * (3,84)(0,375V - 1V) = 0,72V \quad (45)$$

Der Vergleich der Messwerte mit den Werten aus Formel 45 ergibt kleine Abweichungen im zweistelligen Millivolt- Bereich.

Wenn NDAC1 größer als NDAC2 ist, dann ist das Ergebnis der Formel eine negative Zahl. Bei den Messungen ist die niedrigste Zahl jedoch Null, da der Eingangsspannungsbereich des ADC's auf Null Volt beschränkt ist.

14 Altium

14.1 Symbolgenerierung

Um in Altium Designer einen Schaltplan entwerfen zu können, werden Symbole der zu verschaltenden Bauteile verwendet. Oft sind die benötigten Symbole nicht in den zur Verfügung stehenden Bauteilebibliotheken vorhanden. In so einem Fall muss das Symbol selbst generiert werden. Dafür fügt man dem Projekt eine „Schematic Library“ hinzu. In dieser Bibliothek kann das gewünschte Bauteil dann erzeugt werden. Im Folgenden soll erläutert werden, wie das Symbol eines Operationsverstärkers erstellt wird. Für die Gestaltung des Symbols wählt man an der oberen Leiste die Funktion „Place“. Dort kann man mehrere Formen auswählen. Im konkreten Fall wird ein Dreieck benötigt. Da kein vorgefertigtes Dreieck vorhanden ist, wählt man „Line“ aus und zeichnet damit das Dreieck selbst. Nun hat man die Form für das gewünschte Bauteil. Des Weiteren werden insgesamt drei Pins gebraucht. Zwei Eingänge an der langen Seite des Dreiecks, und einen Eingang an der rechten Spitze für den Ausgang. Um einen Pin einsetzen zu können, wählt man wieder über „Place“, oder direkt über die Schnellleiste „Pin“ aus. Bei den Pins ist zu beachten, dass sie in der richtigen Richtung gesetzt werden (Siehe Abbildung 41). Zusätzlich kann man die Farbe noch ändern. Bei diesem Beispiel wurde das Dreieck mit gelblicher Farbe gefüllt, die bei Altium Designer standardmäßig eingestellt wird.

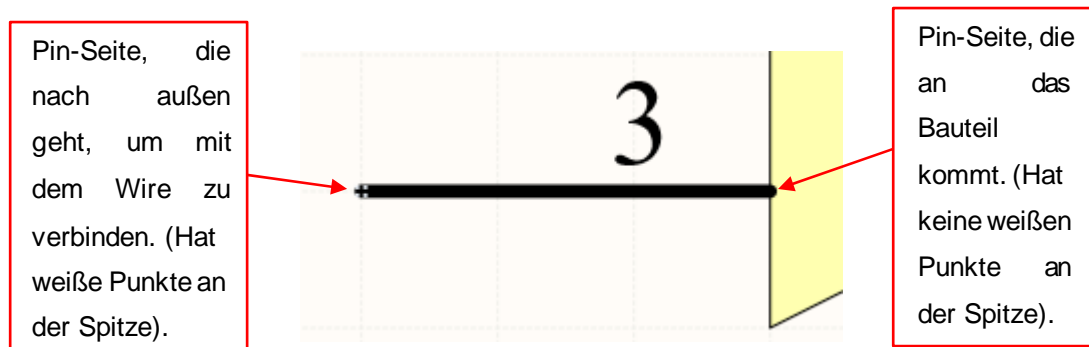


Abbildung 41: Veranschaulichung der Pin- Richtung

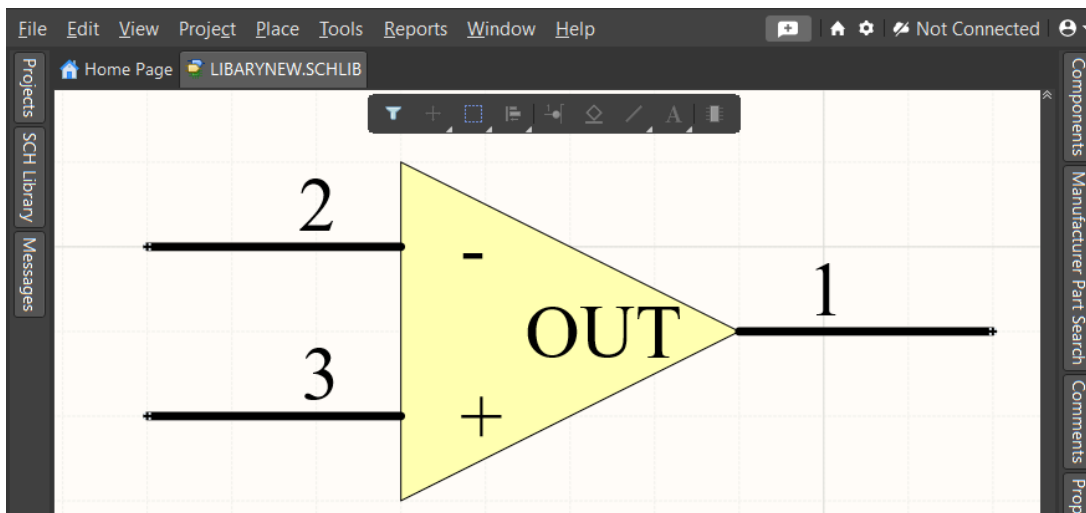


Abbildung 42: Fertiggestelltes Symbol des Operationsverstärkers

14.2 Wire

Der Wire ist sozusagen der Draht oder die Verbindung zwischen den Bauteilen. Um diese elektrische Verbindung zwischen den Bauteilen im Schaltplan herzustellen, wählt man „Place“ oder in der Schnellleiste das Symbol „Wire“ aus. Jetzt beginnt man bei einem Pin und verbindet ihn schließlich mit einem anderen Pin. Die Verbindung sollte mit einer blauen Linie zu sehen sein. Die Eigenschaften der Linie wie z.B. die Dicke kann man nach Wunsch verändern.

14.3 Fehleranalyse Schematic

Um im Schematic nach Fehlern suchen zu lassen, müssen zunächst „Messages“ eingeblendet werden. Diese blendet man über die Schaltfläche „Panel“ ein, die sich unten rechts in Altium Designer befindet. Nach der Auswahl erscheint oben links unter „Project“, das Feld „Messages“. Dort werden später die Fehler angezeigt. Dann geht man auf „Project“ und wählt das gezeigte Feld aus (Siehe Abbildung 43). Nun werden eventuelle Fehler, unter „Messages“ aufgelistet.

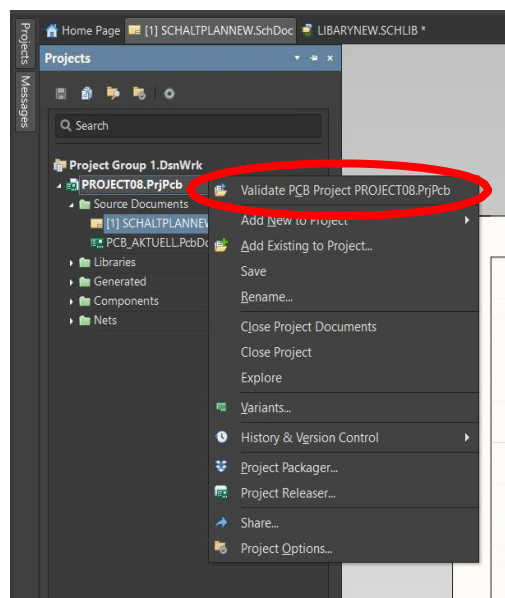


Abbildung 43: Schaltfläche zu Prüfung eines Schaltplans

14.4 PCBs Erstellen

Die Option PCB („printed circuit boards“) wird zum Entwurf von Leiterplatten benötigt. Das PCB wird erstellt, indem man auf „Project“ geht und dort unter „Add new to Project“ „PCB“ auswählt. Danach sollte eine schwarze Fläche erscheinen. Diese ist das PCB.

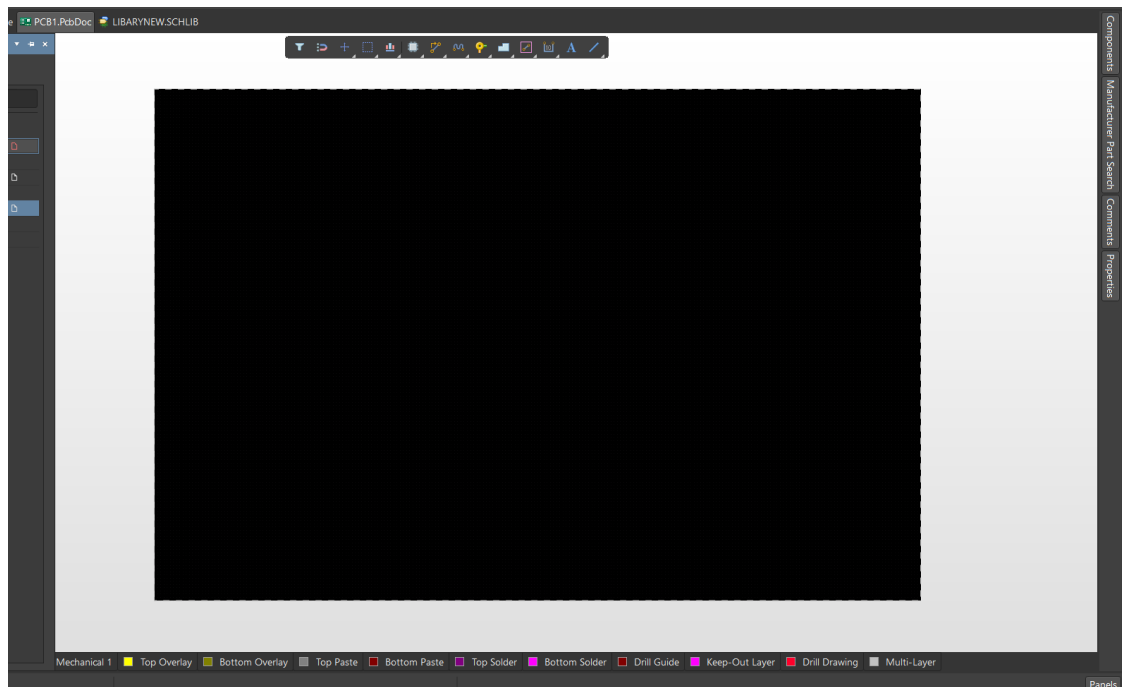


Abbildung 44: Neu generiertes PCB- Dokument

14.5 Bauteile Import vom Schematic ins PCB

Vom Schematic aus, geht man in der oberen Leiste auf „Design“. Von da aus wählt man „Update PCB Document, Name des Dokuments“. Hiernach öffnet sich ein neues Fenster „Engineering Change Order“. Dort sollte man den Haken bei „ROOM“ entfernen, um Fehler zu vermeiden. Unter „Valid Changes“ wird gecheckt, ob alles Ok ist. Wenn alles grün ist, wird als nächstes „Execute Changes“ ausgewählt. Jetzt sollten alle Footprints der Bauteile aus dem Schematic mit allen Verbindungen in das Layout übertragen worden sein. Die grauen dünnen Linien entsprechen den Verbindungen, die man im Schematic definiert hat. Sie sind später eine Hilfe beim Routen.

14.6 Footprint erstellen

Wie bei den Symbolen, existieren auch nicht für alle Bauteile ein Footprint. Die Erstellung neuer eigener Footprints ist möglich, indem man über „Project“ und „Add New to Project“ „PCB Library“ auswählt. Dort können die Footprints entworfen werden. Als Beispiel wird ein Footprint für einen Kondensator mit einer bestimmten Bauteilgröße gezeichnet. Entweder zeichnet man das Footprint selbst oder über „IPC Compliant Footprint Wizard...“, der sich in der oberen Leiste bei „Tools“ befindet. Bei der Auswahl des entsprechenden Feldes öffnet sich ein neues Fenster, in dem man den Typ des Bauteiles auswählen kann (Siehe Abbildung 45). Von da aus gibt man die Maße des Bauteils ein, die man zum Beispiel dem Datasheet entnehmen kann. Danach gibt man dem Footprint einen Namen und speichert es ab.

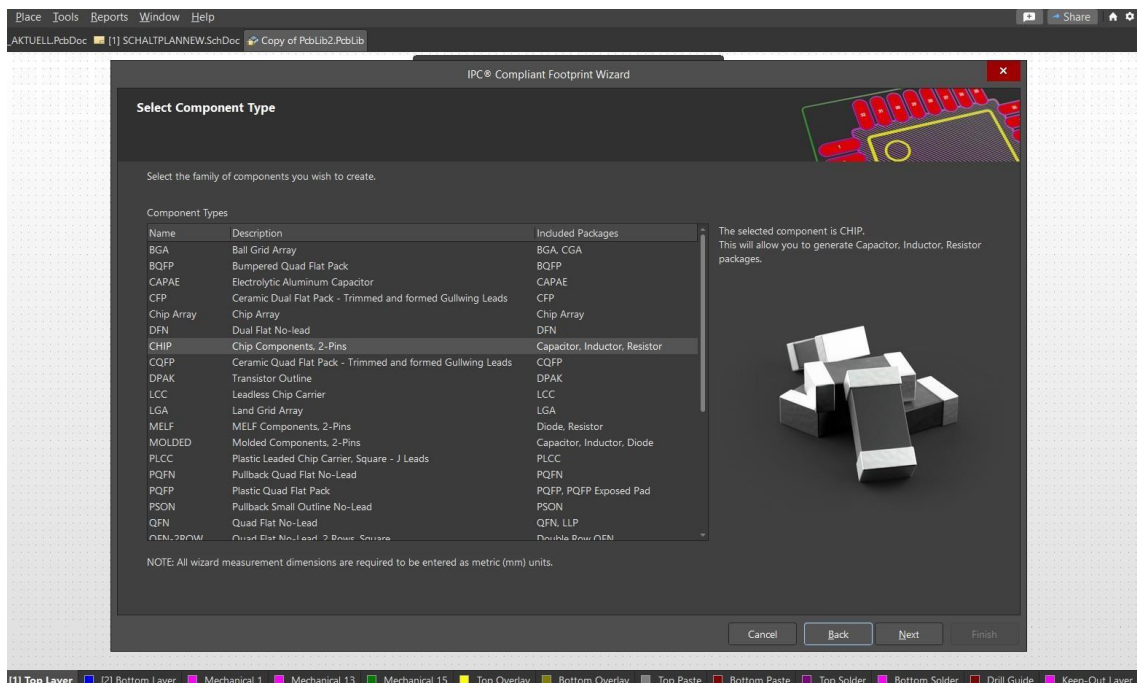
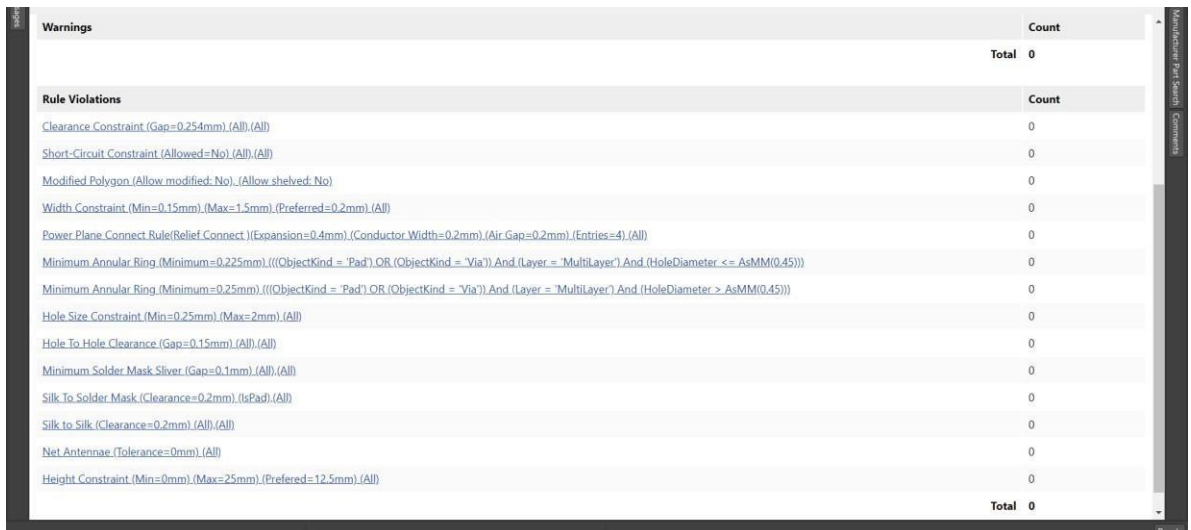


Abbildung 45: Wizard zum Erstellen von Bauteile-Footprints

14.7 Designe Rule Check (DRC)

Der DRC überprüft, ob die verwendeten Regeln eingehalten wurden und zum Beispiel ob alle Fertigungsüberlegungen und Maßtoleranzen berücksichtigt werden. Die Funktion „Design Rule Check“ findet man im Menü „Tools“, das sich in der oberen Leiste befindet. Anschließend öffnet sich ein neues Fenster. Von dort aus klickt man unten links auf „Run Design Rule Check“. Jetzt ist zu sehen, wo welche Fehler auftreten.



Warnings	Count
	Total 0
Rule Violations	Count
Clearance Constraint (Gap=0.254mm) (All) (All)	0
Short-Circuit Constraint (Allowed=No) (All) (All)	0
Modified Polygon (Allow modified: No) (Allow shelved: No)	0
Width Constraint (Min=0.15mm) (Max=1.5mm) (Preferred=0.2mm) (All)	0
Power Plane Connect Rule (Relief Connect) (Expansion=0.4mm) (Conductor Width=0.2mm) (Air Gap=0.2mm) (Entries=4) (All)	0
Minimum Annular Ring (Minimum=0.225mm) (((ObjectKind = 'Pad') OR (ObjectKind = 'Via')) And (Layer = 'MultiLayer') And (HoleDiameter <= AsMM(0.45)))	0
Minimum Annular Ring (Minimum=0.25mm) (((ObjectKind = 'Pad') OR (ObjectKind = 'Via')) And (Layer = 'MultiLayer') And (HoleDiameter > AsMM(0.45)))	0
Hole Size Constraint (Min=0.25mm) (Max=2mm) (All)	0
Hole To Hole Clearance (Gap=0.15mm) (All) (All)	0
Minimum Solder Mask Sliver (Gap=0.1mm) (All) (All)	0
Silk To Solder Mask (Clearance=0.2mm) (IsPad) (All)	0
Silk to Silk (Clearance=0.2mm) (All) (All)	0
Net Antennae (Tolerance=0mm) (All)	0
Height Constraint (Min=0mm) (Max=25mm) (Preferred=12.5mm) (All)	0
	Total 0

Abbildung 46: DRC mit allen Fehlermöglichkeiten und der Anzahl der Fehler

In dieser Arbeit wurde eine Vorlage von Eurocircuits für die Regeln verwendet, die unter folgendem Link heruntergeladen werden kann.

<https://www.eurocircuits.de/altium-designer-templates-with-eurocircuits-design-rules/>

Hierfür muss die Vorlage „Class 6C – 2 layer – 1.55 mm“ gewählt und in das Projekt eingefügt werden, indem man die heruntergeladene Datei in das Projektverzeichnis kopiert.

14.8 PCB Routing

Vor Beginn des Routings sollten die Bauteile dort platziert werden, wo sie am Ende auch ungefähr liegen sollten. Jedes Bauteil weist graue dünne Linien auf, die andeuten, welche Verbindungen zu anderen Bauteilen etabliert werden müssen. Da in dieser Arbeit viele Bauteile verwendet werden, wurden Kondensatoren auf die Rückseite platziert, um die Übersichtlichkeit zu steigern. Diese wurden so nah wie möglich am Barrel und den IC's gesetzt. Über „Route“ wählt man „Interactive Routing“ aus, um die Komponenten zu verbinden. Man sollte auf die grauen Linien achten (Siehe Abbildung 47). Blau entspricht der Metalllage auf der Rückseite und rot der Metalllage auf der Vorderseite. Wenn man sich auf der Vorderseite befindet, beginnt man das Routing mit der rot markierten oberen Metalllage und routet damit in Richtung der blau markierten Komponente, welche sich auf der Rückseite befindet. Dann gibt man den Befehl Strg+L ein. Dadurch öffnet sich ein kleines Fenster und man wählt den Bottom Layer aus. Dadurch wird ein Via gesetzt und man routet automatisch auf der Rückseite weiter (Siehe Abbildung 48).

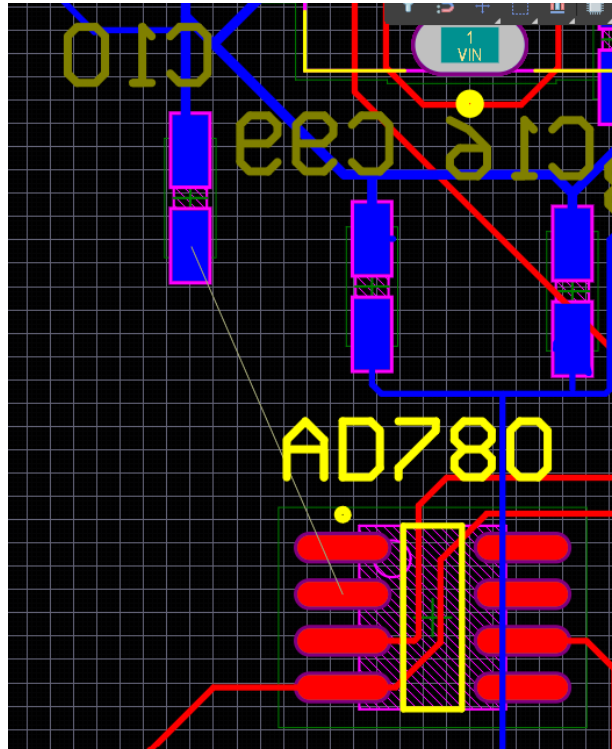


Abbildung 47: Layout mit einer fehlenden Verbindung

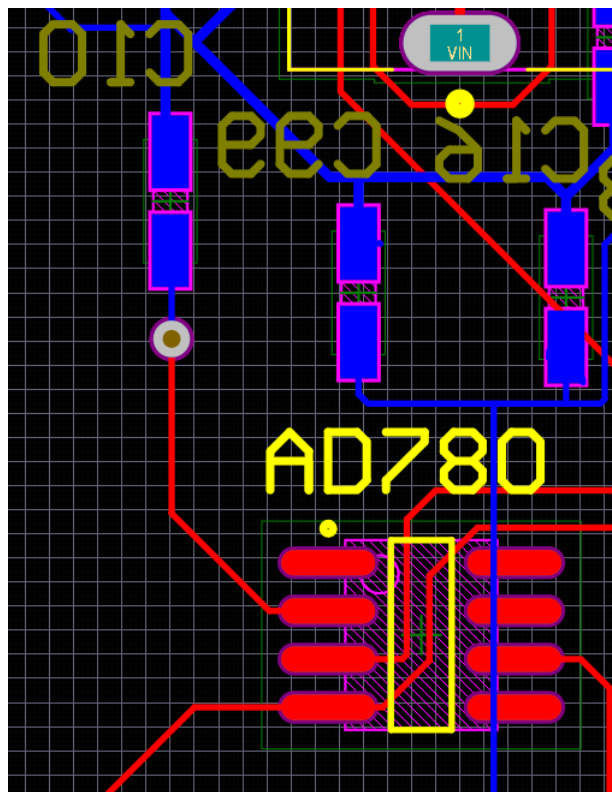


Abbildung 48: Layout nach Etablierung der fehlenden Verbindung über ein Via.

14.9 PCB zuschneiden

Um der Platine eine Form zu geben, wählt man die Funktion „Rectangle“ aus, welche im Menü „Place“ zu finden ist. Nun kann man für die Größe der Platine einen Rahmen setzen. Alle Bauteile der Platine müssen innerhalb dieses Rahmens platziert sein. Man markiert das gezeichnete Viereck und geht auf „Design“. Von dort auf „Bord Shape“ und anschließend auf „Define Board Shape from Selected Objects“. Jetzt sollte die Platine die gewünschte Form erhalten haben.

14.10 Bohrlöcher

Schließlich werden noch Bohrlöcher für die Befestigung der Leiterplatte benötigt. Diese sind dafür da, um die Platine zum Beispiel an einer Prüfvorrichtung zu montieren. Mit einem Pad in jeder Ecke der Platine wurden die Löcher entworfen. Diese Pads wurden mit einer Größe von je 6mm (X/Y) ausgelegt und haben einen Bohrdurchmesser von 3mm.

15 Zusammenfassung

In dieser Arbeit wurden eine Platine für die Spannungsversorgung, eine Platine für Levelshifter und eine Platine für die AD- und DA- Wandlung für das Auslesesystem des POLDI- Sensors entworfen. Die Spannungsversorgung wurde zum größten Teil im Rahmen der Betrieblichen Praxis entworfen. Diese liefert die Spannungen 2,5V, 3,3V und 5V durch Spannungsregler und noch weitere Referenzspannungen und Bezugspotential. Die zweite Leiterplatte wird für die Integration von Levelshiftern verwendet. Mit mehreren Multiplexern kann entschieden werden, ob der Pegel eines Logiksignals 1V oder 4V betragen soll. Diese Logiksignale können einzeln durch das Programm eingestellt werden. Die dritte Leiterplatte beinhaltet AD- und DA- Wandler. Mit den Terminalblöcken können sie zusammengeschaltet werden. Die Platinen funktionieren alle wie erwünscht, und die angestrebten Werte werden erreicht. Abschließend kann man sagen, dass die Bachelorarbeit ein voller Erfolg war.

16 Quellenverzeichnis

- [1] POLDI – THE OPTICAL MICRO-ANGLE-SENSOR. (o. D.). advico.de. Zuletzt abgerufen am 9. Januar 2023, von advico.de/index.php/26-home/slider/19-slide-poldi
- [2] Conrad Demske, Bachelorarbeit, (2019, 11. November), Seite 1, Einführung in POLDI, Bachelorthesis- Entwurf eines VHDL-Designs und einer Applikationssoftware zur Konfiguration und Kalibrierung eines optischen Winkelgebers
- [3] <https://www.ardalpha.de/wissen/polarisation-polarisiertes-licht-100.html>
- [4] <https://studyflix.de/ingenieurwissenschaften/polarisation-1984>
- [5] Aus der Schematic der Firma advICo microelectronics GmbH, Münsterstr. 13-15, 45657 Recklinghausen advico.de, aus der Datei EvalBoard_POLDI_1609_Sch_1page.pdf vom 15.03.2017.
- [6] ADR510 Datasheet von ANALOG DEVICE
- [7] Was ist ein Spannungsregler? (2021, 24. April). Alleantworten.de. Zuletzt abgerufen am 9. Januar 2023, von alleantworten.de/was-ist-ein-spannungsregler
- [8] MIC5219-5.0YMM Datasheet von MICROSHIP
- [9] <https://www.elektronik-kompodium.de/sites/slt/0210141.htm>
- [10] <https://www.frustfrei-lernen.de/elektrotechnik/impedanzwandler-spannungsfolger.html>

[11] AD780BRZ Datasheet von ANALOG DEVICE

[12] <http://andnowforelectronics.com/logistics/exercises/>

[13] TSV911AIDCKR Datasheet von TEXAS INSTRUMENTS

[14] NLASB3157DFT2G Datasheet von ONSEMI

[15] AD7980BRMZ Datasheet von ANALOG DEVICES

[16] <https://studyflix.de/elektrotechnik/grenzfrequenz-1500>

[17] <https://www.elektronik-kompodium.de/sites/slt/0206172.htm>

[18] AD5544 Datasheet von ANALOG DEVICES

Die Inhalte aller Webseiten sind auf einer CD als Datei vorhanden.

Eidesstattliche Versicherung

Hiermit versichere ich an Eides statt, dass die von mir vorgelegte Arbeit selbstständig und ohne unzulässige fremde Hilfe erstellt worden ist. Alle verwendeten Quellen sind in der Arbeit so aufgeführt, dass Art und Umfang der Verwendung nachvollziehbar sind.

Ort, Datum

Unterschrift