

Fachhochschule Dortmund

University of Applied Sciences and Arts

Bachelorarbeit

zur Erlangung des akademischen Grades
Bachelor of Engineering

Im Studiengang Elektrotechnik

Stabilisierung eines Low-Drop Out Spannungsreglers mit Hilfe eines Source-Folger basierten Spannungsbuffers

Stabilization of a low-drop-out voltage regulator
using a source follower based voltage buffer

vorgelegt von

Nader Ben Slimane

Matr.-Nr.: 7104328

Am 05.04.2023

An der Fachhochschule Dortmund

Betreuender Professor: Prof. Dr.-Ing. Michael Karagounis

Zweitprüfer: Reda Bouroumiya

Hiermit bestätige ich, dass ich die vorliegende Arbeit selbständig verfasst und keine anderen als die angegebenen Hilfsmittel benutzt habe. Die Stellen der Arbeit, die dem Wortlaut oder dem Sinn nach anderen Werken (dazu zählen auch Internetquellen) entnommen sind, wurden unter Angabe der Quelle kenntlich gemacht.

(Datum, Unterschrift)

Kurzzusammenfassung

In dieser Arbeit wird ein Low-Dropout Spannungsregler für einen synchronen Abwärtswandler/Tiefsetzsteller (eng. Step-Down/Buck-Converter) entwickelt.

Im Rahmen des Projektes soll ein integrierter Spannungsregler, der eine Eingangsspannung von 3,3 V in eine Ausgangsspannung von 3,1 V umwandelt, in einer 180nm CMOS Technologie entworfen werden.

Für die Entwicklung und Simulation der Schaltung des Reglers wird das Programm „Virtuoso“ des Softwareherstellers „Cadence Design Systems“ verwendet.

Cadence Design Systems, Inc. ist einer der weltweit größten Anbieter von Entwurfsautomatisierung elektronischer Systeme. Diese Software bietet Simulationsmodelle für alle im Abwärtswandler verwendeten Bauteile.

Abstract

In this thesis, a Low-Dropout voltage regulator for a synchronous step-down/ buck converter is developed.

During the main project, the integrated low dropout regulator, which converts an input voltage of 3.3 V into an output voltage of 3.1 V, is designed in a 180 nm CMOS technology and produced by United Microelectronics Corporation (UMC).

The "Virtuoso 6.1-64b" program of the software manufacturer "Cadence Design Systems" is used for the development and simulation of the circuit. Cadence Design Systems, Inc. is one of the world's largest providers of design automation for electronic systems. This software provides simulation models for all components used in the low-dropout regulator.

Inhalt

Abbildungsverzeichnis.....	
Tabellenverzeichnis.....	
Nomenklatur	
1. Einleitung.....	1
2. Aufgabenstellung	2
3. Grundlagen.....	3
3.1 Mikrochips.....	3
3.2 Powermanagement.....	4
3.3 Spannungsregler.....	4
3.3.1 Grundaufbau des Abwärtswandlers (Schaltregler).....	4
3.3.2 Linear Regler.....	5
3.4 Low Dropout Regulator (LDO).....	7
3.4.1 Grundaufbau eines LDOs.....	7
3.4.2 Funktionsweise eines LDOs.....	7
3.5 Software Cadence Virtuoso.....	8
4. Dimensionierung der Bauteile.....	9
4.1 Spannungsteiler.....	9
4.2 Pass-Element (P-Kanal-Mosfet).....	9
4.3 Operationsverstärker	12
4.3.1 Line Regulation	12
4.3.2 Load Regulation.....	16
5. Stabilität	17
5.1 Pole des LDOs	18
5.2 Nullstelle des LDOs.....	23
5.3 Transienten Analyse	24
6. Entwurf der Verstärkerschaltung	27
6.1 CMOS-Verstärker.....	27
6.1.1 Common-Source Verstärker.....	28
6.1.2 Source Follower.....	30
6.1.3 Stromspiegelung.....	33
6.2 Dimensionierung der Verstärkerschaltung	35
6.2.1 Verstärkungsfaktor	36
6.2.2 Ausgangswiderstand der Verstärkerschaltung:.....	38
7. Entwurf der Verstärkerschaltung mit Source Follower Buffer.....	39
7.1 Verstärkung der aktualisierten Schaltung	39

7.2 Ausgangswiderstand der Schaltung	40
7.3 Erstellen des Verstärkersymbols	41
8.Integration des Verstärkers in die LDO-Schaltung	42
8.1 Load und Line Regulation	42
8.2 Phasenreserve	44
8.3 Transienten Analyse	47
8.4 Monte Carlo Simulation	47
8.5 Zusammenfassung.....	49
9. Fazit	50
Literaturverzeichnis.....	51
Anhang	52

Abbildungsverzeichnis

Abbildung 1 LDO Schaltung.....	2
Abbildung 2 Grundaufbau eines Abwärtswandler.....	5
Abbildung 3 Grundschtaltung eines Linearreglers.....	5
Abbildung 4 Schaltbild eines LDOs.....	7
Abbildung 5 Pmos Struktur und Kennlinie.....	9
Abbildung 6 Corner Analyse des Gate Potentials in abhängigkeit mit der Multiplikator Wert.....	11
Abbildung 7 Corner Analyse der Gate-Source Spannung in abhängigkeit von Laststrom.....	11
Abbildung 8 Line Regulation über verschiedene Temperaturen und Prozesscorner bei 200mA Laststrom.....	13
Abbildung 9 Line Regulation über verschiedene Temperaturen und Prozesscorner bei 215mA Laststrom.....	14
Abbildung 10 Corner für die Line Regulation.....	14
Abbildung 11 Line Regulation mit maximalem Strom.....	15
Abbildung 12 Line Regulation mit minimalem Strom.....	15
Abbildung 13 Load Regulation.....	17
Abbildung 14 Dominante Pole des LDOs.....	18
Abbildung 15 Schaltung für die AC-Analyse.....	19
Abbildung 16 AC-Analyse an beiden Polstellen.....	20
Abbildung 17 Vergleich der berechneten und simulierten Polstellenfrequenz am Reglerausgang.....	21
Abbildung 18 Vergleich der berechneten und simulierten Polstellenfrequenz am Opampausgang.....	21
Abbildung 19 Phasenreserve als Funktion des Laststromes bei Verstärkerausgangswiderständen von 10k Ω , 11k Ω , 12k Ω , 13k Ω , 14k Ω	22
Abbildung 20 Bode Diagramm.....	23
Abbildung 21 Bode Diagramm des offenen Regelkreises mit Nullstelle.....	24
Abbildung 22 Schaltung der Transienten Analyse.....	-25
Abbildung 23 Verhalten der Ausgangsspannung beim sprunghaftem Laststromwechsel.....	26
Abbildung 24 Aufbau des OTA.....	27
Abbildung 25 Common Source Schaltung mit Widerstand.....	28
Abbildung 26 Common-Source Schaltung mit Bias PMOS.....	29
Abbildung 27 Kleinsignal Ersatzschaltbild der Common-Source Schaltung.....	29
Abbildung 28 a) Source Follower mit NMOS b) Source Follower mit PMOS.....	30
Abbildung 29 Kleinsignalanalyse des Source Followers.....	31
Abbildung 30 Grundaufbau eines Stromspiegels.....	33
Abbildung 31 Entwurf der OTA-Schaltung.....	35
Abbildung 32 Verstärkung des OTA.....	38
Abbildung 33 Verstärkerschaltung mit PMOS Source Follower Buffer.....	39
Abbildung 34 AC-Analyse der Verstärkerschaltung.....	40
Abbildung 35 Symbol der Verstärkerschaltung.....	41
Abbildung 36 LDO-Schaltung nach Integration des Opamps.....	42
Abbildung 37 Load Regulation des LDOs.....	43
Abbildung 38 Line Regulation.....	44
Abbildung 39 Load Regulation.....	44
Abbildung 40 Phasenreserve des LDOs.....	45
Abbildung 41 Phasenreserve in Abhängigkeit von ESR.....	45
Abbildung 42 Phasenreserve mit Resr = 20m Ω	46
Abbildung 43 Bode Diagramm.....	46
Abbildung 44 Transienten Analyse.....	47
Abbildung 45 Monte Carlo Simulation von Phasenreserve.....	48
Abbildung 46 Monte Carlo Simulation von Ausgangsspannung.....	49
Abbildung 47 Modell des Pass-Elements.....	52
Abbildung 48 Modell des Verilog-A Verstärkers.....	52

Tabellenverzeichnis

Tabelle 1: Die simulierten Corner	43
Tabelle 2: Mosfet Geometrie von OTA (cell : Cmos OpampCs).....	53
Tabelle 3: Mosfet Geometrie von OTA mit Source Follower Buffer (cell : Cmos OpamoSF)....	53

Nomenklatur

Vin: Eingangsspannung

Vout: Ausgangsspannung

Vg: Gate Potential

Vref: Referenz Spannung

Vdsat: Sättigungsspannung

Vinp: Spannung am nicht invertierenden Eingang des Opamps

VERR: Fehler Spannung

Vgs: Gate-Source Spannung

Vds: Drain-Source Spannung

Vth: Schwellenspannung

R0,R1: Widerstand des Spannungsteilers

Rds: Ausgangswiderstand des Pass- Devices

Roa: Ausgangswiderstand des Opamps

Resr: Serienwiderstand des Ausgangskondensator

Rp: gesamte Parallelwiderstand am Ausgang des Reglers

gm: Steilheit des Pass-Devices

Cgs: Gate-Source Kapazität des Pass-Devices

Cgd: Gate-Drain Kapazität des Pass-Devices

Cpmos: Ausgangskapazität des Pass- Devices

Cload: Ausgangskapazität des Reglers

P1: Polstelle des Reglerausgangs

P2: Polstelle des Opamps Ausgangs

Z1: Nullstelle des Reglers

Imin : Minimale Strom

Imax: Maximale Strom

μ : Ladungsträgerbeweglichkeit

Cox =Gateoxid Kapazität

W: Breite des Transistors

L: Länge des Transistors

λ : Kanallängenmodulationsparameter

A: Verstärkung

Gds: Ausgangsleitwert

ϕ r: Phasenreserve

m: Multiplikator Wert

1. Einleitung

Auf Grund der zunehmenden Anzahl von tragbaren, batteriebetriebenen Geräten und anderen komplizierten Geräten besteht ein erhöhter Bedarf an effizienter Spannungsregelung, um die Laufzeit der Batterien zu verlängern. Dieser Bedarf an hochpräzisen Versorgungsspannungen hat zum vermehrten Einsatz von Low-Dropout Reglern (LDO) geführt, der viele Vorteile für den Einsatz in On-Chip Power-Management Systemen bietet.

LDO steht für Low-Dropout-Regler und ist eine Art von Spannungsregler, der in der Elektronikindustrie weit verbreitet ist. LDOs werden häufig in Stromversorgungsanwendungen eingesetzt, um eine stabile und konstante Spannung für elektronische Schaltungen bereitzustellen. Sie zeichnen sich durch ihre Fähigkeit aus, eine nahezu konstante Ausgangsspannung unabhängig von Änderungen der Eingangsspannung und der Lastbedingungen bereitzustellen.

Ein ideales Power-Management System erlaubt die effiziente Verteilung der elektrischen Leistung auf einem Chip, in dem jeder Block mit einer angepassten Spannung bei geringerer Verlustleistung versorgt wird. [1]

In dieser Arbeit geht es um die Entwicklung eines LDOs, der als Versorgung für die sensiblen Schaltungsteile eines synchronen DC-DC Wandlers dienen soll. Angestrebt wird die Realisierung eines LDO-Reglers nach gewünschten Kriterien. Es wird mithilfe der Software „Virtuoso“ von „Cadence Design Systems, Inc.“ gearbeitet. Das Unternehmen hat sich auf Software für den Entwurf von integrierten Schaltungen spezialisiert und bietet eine Vielfalt von Simulationen an, die für den Entwurf des LDOs sehr hilfreich sind.

2. Aufgabenstellung

Der zu entwerfende LDO (Low Dropout Voltage Regler) soll eine Versorgungsspannung von 3.3 V auf einer Ausgangsspannung von 3.1 V runterregeln.

Wie in Abbildung 1 dargestellt, besteht der LDO aus einem PMOS (p-type Metal-Oxide-Semiconductor) Transistor als Pass-Device, einem Operationsverstärker, einem Spannungsteiler, einem Kondensator am Ausgang und einer Referenzspannungsquelle mit einer Spannung von 1.2V.

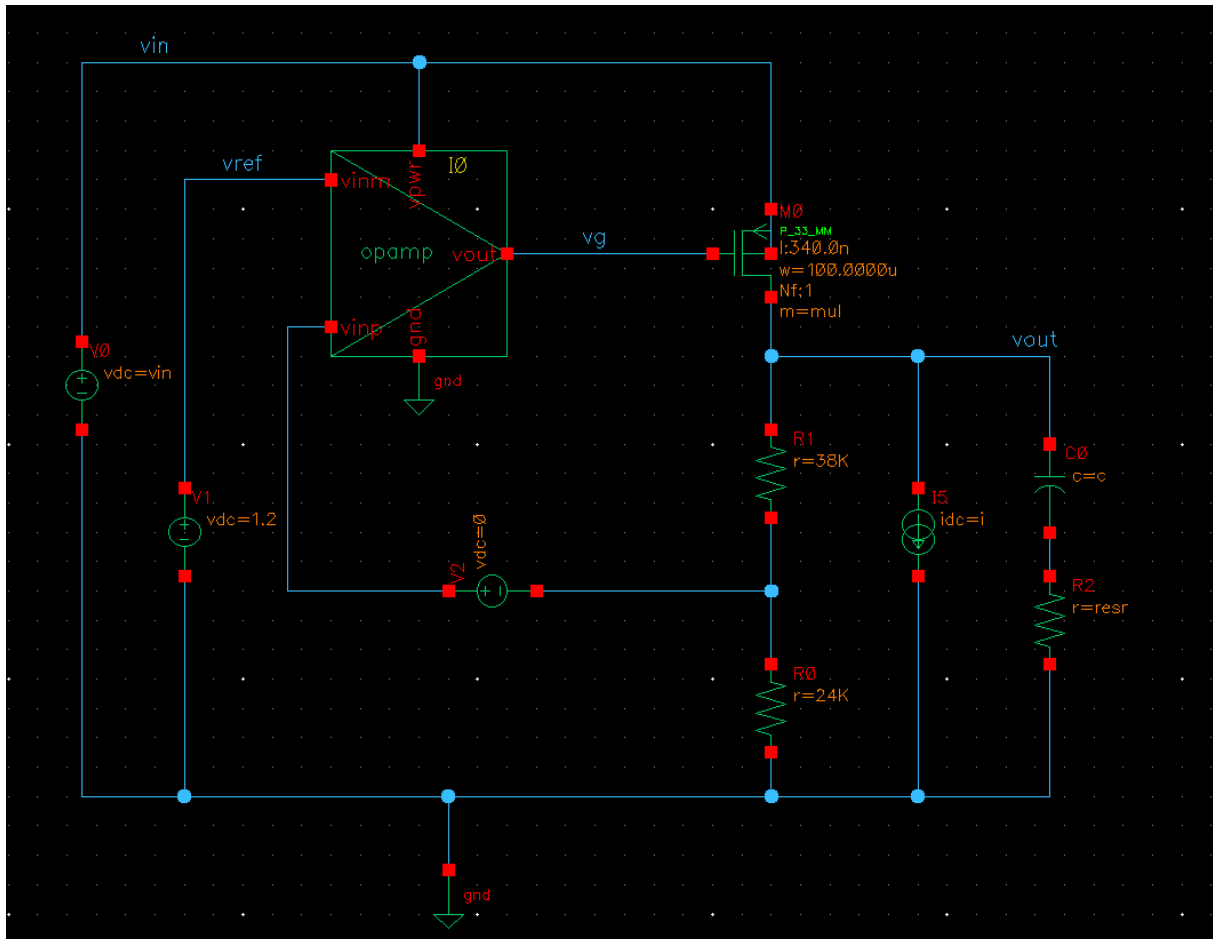


Abbildung 1 LDO Schaltung

Der LDO wird für eine Eingangsspannung von 3.3 V bis 4 V und einem maximalen Laststrom von 200 mA dimensioniert. Die Ausgangsspannung soll konstant bei 3,1 V liegen. Der Regler soll im Temperaturbereich von -40°C bis 120°C funktionieren. Als Kriterium für die Stabilität des Reglers soll eine Phasenreserve des offenen Regelkreises von mindestens 60° erreicht werden. Es wird zuerst mit einem idealen Verstärker gearbeitet, um die passende Verstärkung und weiteren Parametern zu bestimmen. Danach wird der Verstärker ersetzt durch eine Verstärkerschaltung, welche den bestimmten Parametern einhält.

3. Grundlagen

3.1 Mikrochips

Integrierte Schaltungen, auch Mikrochips oder einfach Chips genannt, sind kompakte Anordnungen von Transistoren, Dioden, Widerständen und anderen Komponenten, die miteinander verbunden sind, um eine bestimmte Funktion zu erfüllen. Sie sind die Bausteine der modernen Elektronik und werden in einer Vielzahl von Produkten wie Computern, Smartphones, und vielen anderen Geräten verwendet.

Ein integrierter Schaltkreis wird hergestellt, indem eine dünne Schicht aus Halbleitermaterial, wie z.B. Silizium, auf ein Substrat aufgebracht wird. Die Komponenten des Schaltkreises werden dann durch Ätzen von Mustern in die Halbleiterschicht und Aufbringen von Metallkontakten hergestellt. Der so entstandene Schaltkreis ist unglaublich klein, in der Regel weniger als ein Quadratzentimeter groß, und kann Milliarden von Transistoren enthalten.

Integrierte Schaltungen lassen sich in zwei Hauptkategorien einteilen: digitale und analoge. Digitale integrierte Schaltungen führen boolesche Logikoperationen durch und können Daten entweder als 1 oder als 0 darstellen. Sie werden zur Implementierung von Logikfunktionen, Steuersystemen und zur Datenspeicherung in der digitalen Elektronik verwendet.

Analoge integrierte Schaltungen hingegen sind für die Verarbeitung von kontinuierlich veränderlichen Signalen wie Spannungen oder Strömen ausgelegt. Sie werden in Anwendungen wie Verstärkern, Filtern und Analog-Digital-Wandlern eingesetzt. [2]

Die Mikrochip-Industrie ist ein globaler Markt, aber ein kleiner Kreis von Unternehmen dominiert die Produktion. Einige der größten Mikrochip-Hersteller werden in folgenden genannt:

Intel: Intel ist einer der größten und bekanntesten Mikrochip-Hersteller der Welt und stellt Mikrochips für eine Vielzahl von Anwendungen her, darunter Computer, Server und Mobilgeräte.

Samsung Electronics: Samsung ist ein weiteres großes Unternehmen in der Mikrochip-Industrie und ist hauptsächlich in der Produktion von Halbleitern und Speicherchips tätig.

TSMC (Taiwan Semiconductor Manufacturing Company): TSMC ist ein führender Anbieter von Halbleiterlösungen und einer der größten Auftragsfertiger von Mikrochips. [3]

Es ist wichtig zu beachten, dass die Marktanteile dieser Unternehmen ständig schwanken können, je nach Technologieentwicklung und wirtschaftlichen Bedingungen. In den letzten Jahren seit 2020 gibt es eine globale Chip-Knappheit und es besteht eine anhaltende weltweite Krise, bei der die Nachfrage nach integrierten Schaltkreisen das Angebot übersteigt und mehr als 169 Industrien betroffen sind. Die Krise hat zu erheblichen Preiserhöhungen, Engpässen und Wiederverkäufen bei Verbrauchern und Herstellern von Automobilen, Grafikkarten, Videospielkonsolen, Computern, Haushaltsgeräten und anderen elektronischen Produkten geführt, die Halbleiter benötigen. [4]

3.2 Powermanagement

Powermanagement ist der Prozess der effizienten Steuerung des Energieverbrauchs in elektronischen Geräten und Systemen. Dazu gehört die Steuerung des Leistungsflusses zu den verschiedenen Komponenten des Systems, um sicherzustellen, dass sie die für den Betrieb erforderliche Leistung erhalten, während der Stromverbrauch minimiert und die Batterielebensdauer maximiert wird.

Zu den Techniken der Energieverwaltung gehören Power Gating, Spannungsregulierung, Clock Gating, dynamische Spannungs- und Frequenzskalierung und vieles mehr. Diese Techniken können in Hardware, Software oder einer Kombination aus beidem implementiert werden und kommen in einer Vielzahl von Anwendungen zum Einsatz, von mobilen Geräten bis hin zu großen Rechenzentren und industriellen Steuerungssystemen.

Bei den mobilen Geräten ist Spannungsregulierung sehr wichtig, weil viele Komponenten wie Mikroprozessoren, Speicherchips und analoge Schaltungen eine bestimmte und stabile Spannung benötigen, um korrekt zu funktionieren. Die Aufrechterhaltung einer stabilen und konstanten Ausgangsspannung trotz Schwankungen der Eingangsspannung oder des Laststroms kann durch Einsatz von Spannungsregler sichergestellt werden.

Eine effiziente Energieverwaltung wird immer wichtiger, da die Nachfrage nach tragbaren und stromsparenden Geräten weiter steigt und die Sorge um den Energieverbrauch und die Auswirkungen auf die Umwelt immer größer wird. [5]

3.3 Spannungsregler

Ein Spannungsregler stabilisiert eine elektrische Spannung, meist eine Gleichspannung, als Betriebsspannung einer Schaltung, um Schwankungen der Eingangsspannung, z. B. von einer Batterie oder dem Stromnetz, in weiten Bereichen auszugleichen. Heute werden dafür oft integrierte Schaltungen verwendet. Das heruntersetzen kann man mithilfe von Linearreglern oder Abwärtswandlern realisieren.

3.3.1 Grundaufbau des Abwärtswandlers (Schaltregler)

Der Abwärtswandler, auch Tiefsetzsteller oder Abwärtsregler ist in der Elektronik eine Form von schaltendem Gleichspannungswandler. Die Ausgangsspannung U_A ist stets kleiner gleich dem Betrag der Eingangsspannung U_E . [6]

Wie in Abbildung 2 dargestellt, besteht ein synchroner Abwärtswandler im Wesentlichen aus zwei Schaltern, der zugehörigen Steuerung, einer Induktivität und einer Kapazität.

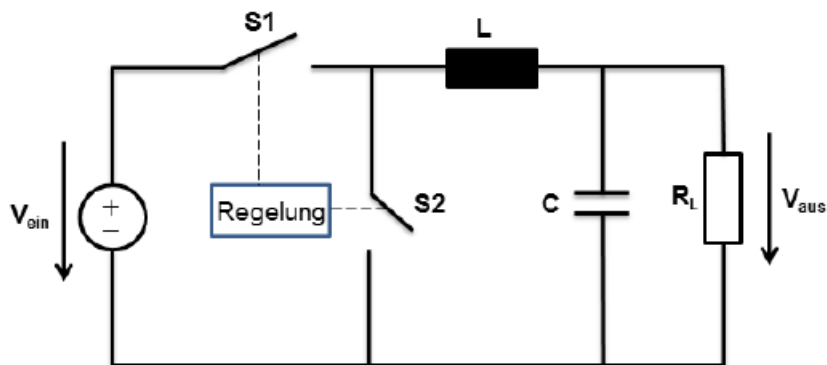


Abbildung 2 Grundaufbau eines Abwärtswandler

Bei den Schaltern handelt es sich in der Regel um MOSFETS (Metall-Oxid-Halbleiter-Feldeffekttransistor). Damit der MOSFET als Schalter wirkt, ist nur eine positive Steuerspannung erforderlich.

Im eingeschalteten Zustand fließt trotz der angelegten Gate-Source-Spannung kein Steuerstrom. Dadurch kann der MOSFET ohne statische Stromaufnahme betrieben werden. Der LC-Filter wirkt in der Schaltung als Energiespeicher. Es kann auch als LC-Tiefpassfilter betrachtet werden, welcher eine Mittelung der pulsweitenmodulierten Spannung durchführt und unerwünschte Oberwellen zu dämpfen.

3.3.2 Linear Regler

Der lineare Spannungsregler verhält sich wie eine Konstantspannungsquelle. Der Regler vergleicht die Ausgangsspannung mit einer intern erzeugten Referenzspannung.

Wenn die Ausgangsspannung zu niedrig ist, wird der variable Widerstand, bei dem es sich in der Regel um einen Transistor handelt, so verändert, dass ein größerer Strom fließen kann, bis die gewünschte Spannung am Ausgang erreicht ist. Ist die Ausgangsspannung zu hoch, wird der Strom durch den variablen Widerstand verringert, bis die Spannung wieder den gewünschten Wert erreicht hat.

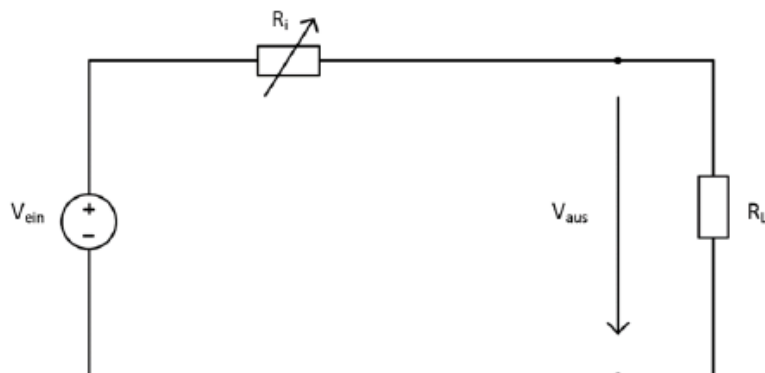


Abbildung 3 Grundsaltung eines Linearreglers

Ausgehend von dem in Abbildung 3 dargestellten Spannungsteiler wird nun die Funktionsweise eines linearen Reglers im Detail beschrieben.

Die Ausgangsspannung des linearen Spannungsreglers ist grundsätzlich niedriger als die Eingangsspannung und kann mit einer einfachen Spannungsteiler Formel berechnet werden:

$$V_{aus} = V_{ein} * \frac{R_L}{R_L + R_i} \quad (1)$$

Steigt die Ausgangsspannung zu sehr an, wird über den Transistor der Strom reduziert, bis die Spannung sich wieder stabilisiert hat. Der Transistor wird also wie ein variabler Widerstand (R_i) benutzt, der so eingeregelt wird, dass die "überflüssige" Spannungsdifferenz zwischen Eingangsspannung und gewünschter Ausgangsspannung an ihm abfällt, und zwar unabhängig vom fließenden Strom.

Der Nachteil dieser linearen Spannungsregler liegt in ihrem schlechten Wirkungsgrad und ihrer großen Verlustleistung. Der Teil der Spannung, die am Eingang zugeführt wird und gerade nicht am Ausgang benötigt wird, fällt am Transistor ab und wird dort in Wärme umgewandelt.

Der Wirkungsgrad eines Linearreglers (ohne Berücksichtigung des eigenen Strombedarfs) berechnet sich mit:

$$n = \frac{U_{aus}}{U_{ein}} * 100\% \quad (2)$$

Damit der lineare Spannungsregler zuverlässig arbeitet, muss die Eingangsspannung höher sein als die Ausgangsspannung. Lineare Spannungsregler zeichnen sich dadurch aus, dass sie die Spannung zuverlässig regeln können, wenn eine bestimmte Mindestspannungsdifferenz zwischen Eingang und Ausgang eingehalten wird. Klassische Linearregler benötigen beispielsweise eine Spannungsdifferenz von mindestens 600 mV. Die Schaltung ist im Vergleich zu Schaltreglern relativ einfach zu realisieren. Linearregler eignen sich besonders für Anwendungen, bei denen ein hoher Wirkungsgrad nicht erforderlich ist und andere Eigenschaften wie glatte, störungsfreie Ausgangsspannungen im Vordergrund stehen. Heutzutage lassen sich mit diesem Regler Typ Wirkungsgrade von bis zu 87 % erzielen.

Soll ein Spannungsregler ein System versorgen, bei dem die Differenz zwischen Eingang und Ausgang nicht sehr groß sein darf, ist der sogenannte Low-Dropout-Regler besser geeignet.

3.4 Low Dropout Regulator (LDO)

Ein Low-Dropout-Regler (LDO) ist ein Spannungsregler, der häufig in elektronischen Schaltungen zur Regelung der Ausgangsspannung verwendet wird. Er ist so ausgelegt, dass er mit einem sehr geringen Spannungsabfall zwischen der Eingangs- und der Ausgangsspannung arbeitet, was bedeutet, dass er eine stabile Ausgangsspannung aufrechterhalten kann, selbst wenn die Eingangsspannung nur wenig höher ist als die erforderliche Ausgangsspannung.

3.4.1 Grundaufbau eines LDOs

Ein LDO besteht, wie in Abbildung 4 dargestellt, aus einer Spannungsreferenz, einem Operationsverstärker, einem Feedback-Spannungsteiler und einem Durchgangstransistor.

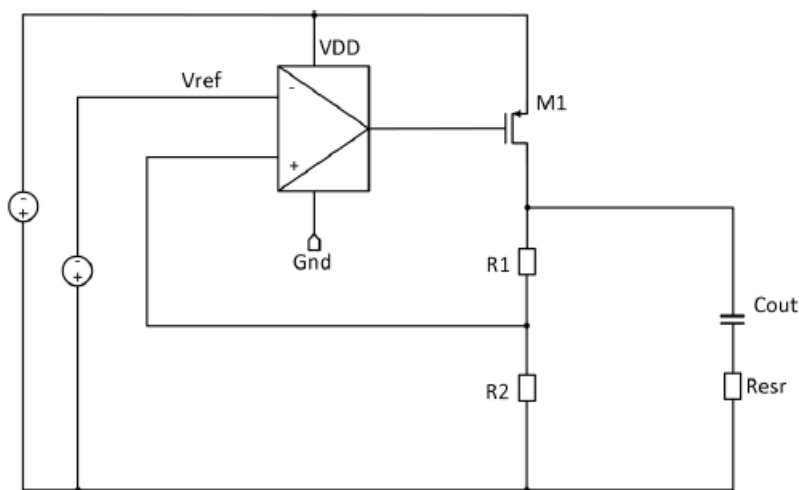


Abbildung 4 Schaltbild eines LDOs

Low-Dropout-Regler können je nach Anforderung folgende Durchgangselemente enthalten: p-Kanal-MOSFET, n-Kanal-MOSFET, NPN-Transistor oder PNP-Transistor. Generell sind Bipolar-Transistor-basierte Regler, verglichen mit MOSFET-basierten Reglern, durch eine höhere Dropout-Spannung gekennzeichnet.

3.4.2 Funktionsweise eines LDOs

Der Ausgangsstrom wird über den Durchgangstransistor geliefert. Seine Gate-Source-Spannung wird durch den Operationsverstärker gesteuert, der die Referenzspannung mit der Feedback-Spannung vergleicht und die Differenz verstärkt, um die Fehlerspannung zu verringern. Ist die Feedback-Spannung niedriger als die Referenzspannung, wird das Gate Potential des Durchgangstransistors nach unten gezogen, so dass mehr Strom fließt und sich die Ausgangsspannung erhöht. Wenn die Feedback-Spannung höher ist als die Referenzspannung, wird das Gate Potential des Durchgangstransistors erhöht, wodurch der Stromfluss begrenzt wird, und die Ausgangsspannung sinkt. [7]

Der Kondensator am Ausgang dient als Energiespeicher und definiert meist auch die Bandbreite bzw. die Reaktionszeit des LDO. Der Widerstand in Reihe zum Kondensator hat eine stabilisierende Wirkung und verhindert, dass der Regler schwingt.

Der Regler kann nicht sofort auf Lastwechsel reagieren, sondern benötigt dafür eine gewisse Zeit. Diese Zeit wird auch als die Zeitkonstante des Reglers bezeichnet und ist eng mit der Bandbreite des Reglers verknüpft.

3.5 Software Cadence Virtuoso

„Cadence Design Systems, Inc.“ ist ein amerikanisches Software- und Ingenieurdienstleistungsunternehmen, welches 1988 durch die Fusion von „SDA Systems“ und „ECAD, Inc.“ entstanden ist. Das Unternehmen hat sich auf Software für den Entwurf von integrierten Schaltungen spezialisiert und bietet mit ihrer Software „Virtuoso“ eine sehr gute und bedienerfreundliche Entwicklungsumgebung an.

Die Virtuoso-Plattform umfasst eine grafische Benutzeroberfläche (GUI), die eine benutzerfreundliche Umgebung für Designer bietet, um mit den Design- und Simulationswerkzeugen zu interagieren. Die Plattform enthält auch eine Vielzahl von Design- und Überprüfungswerkzeugen zur Erstellung von Schaltplänen, Durchführung von Simulationen, und der Anfertigungen von Layout. Die Überprüfungswerkzeuge werden verwendet, um die Einhaltung von Produktionsregeln und die Übereinstimmung von Schaltplan und Layout sicherzustellen.

Die Software wird von einer Vielzahl von Branchen verwendet, einschließlich der Halbleiterindustrie, Unterhaltungselektronik, Telekommunikation und Luft- und Raumfahrt sowie Verteidigung. Die Plattform wird von IC-Designern, System-Ingenieuren und Verifikationsingenieuren verwendet, um komplexe ICs und SoCs für eine Vielzahl von Anwendungen, einschließlich Smartphones, Tablets, Laptops, Automatisierungssystemen usw., zu gestalten und zu überprüfen. [13]

4. Dimensionierung der Bauteile

Das Durchgangselement und der Operationsverstärker sind beim Low-Dropout-Regler die wichtigsten Bauteile. Dementsprechend müssen diese Bauteile auch unter Berücksichtigung der Anforderungen an den LDO dimensioniert werden. Bei falscher Dimensionierung erreicht der Regler nicht das gewünschte Regelverhalten und kann dann die gewünschte Ausgangsspannung nicht zur Verfügung stellen.

4.1 Spannungsteiler

Die Ausgangsspannung, V_{OUT} , wird durch den Spannungsteiler, der aus den Widerständen R_0 und R_1 besteht, herunterskaliert. Diese skalierte Spannung wird an dem nicht invertierenden Eingang des Opamps geführt und mit der Referenzspannung V_{REF} verglichen, welche am invertierenden Eingang des Verstärkers anliegt.

R_1 ist gegeben und sollte $38k\Omega$ betragen. R_0 lässt sich berechnen durch die Formel:

$$V_{REF} = V_{OUT} * \frac{R_0}{R_1 + R_0} \quad (3)$$

Daraus ergibt sich

$$R_0 = 24k\Omega$$

4.2 Pass-Element (P-Kanal-Mosfet)

Bei einem Low-Dropout Regler wird üblicherweise ein p-Kanal MOSFET verwendet.

Bei einem PMOS-FET sind die beiden p-Inseln für den Source- und den Drain-Anschluss in ein n-Substrat eingebettet (siehe Abbildung 5). Das Substrat ist in der Regel mit der Source verbunden und weist das höchste positive Potenzial des Transistors auf. Der Drain erhält das niedrigste Potenzial. Wie der Name PMOS bereits andeutet, ist das Bauelement vom p-Typ. Durch Anlegen einer im Vergleich zur Source negativen Spannung am Gate werden Löcher, welche die Minoritätsträger im n-Substrat darstellen, von der negativen Gate-Elektrode angezogen. Die induzierten Löcher sind freien Ladungsträgern und bilden eine p-leitende Brücke zwischen Source und Drain. Auf diese Weise wird die Leitfähigkeit der Brücke und damit der Drainstrom I_D durch die Gate-Source-Spannung V_{GS} gesteuert.[8]

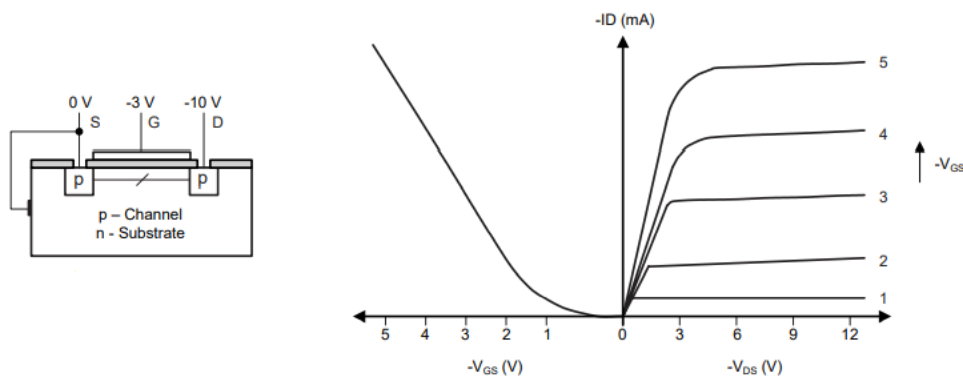


Abbildung 5 Pmos Struktur und Kennlinie

Für kleine Dropout-Spannungen um Spannung 200mV sind P-Kanal Mosfets besser für den Einsatz als Pass-Device geeignet als N-Kanal-Mosfets. Dies liegt daran, dass der PMOS-Transistor mit seinem Drain am Ausgang des Spannungsreglers angeschlossen ist, während beim NMOS die Source sich am Ausgang des Reglers befindet. Für einen leitenden NMOS muss die Gate-Spannung oberhalb der Source-Spannung liegen und sich mindestens eine Gate-Source Spannung einstellen, die der Schwellenspannung U_{th} des NMOS-Transistors entspricht. Die höchste Spannung, die der Verstärker, der das Gate des Pass-Devices treibt, liefern kann, ist die Versorgungsspannung. Dementsprechend muss die Versorgungsspannung mindestens um eine Schwellenspannung größer sein als die Ausgangsspannung des Reglers. Bei einem PMOS-Pass-Device gilt diese Einschränkung nicht. Die Source des PMOS-Transistors ist an der Eingangsspannung und nicht der Ausgangsspannung des Reglers angeschlossen und die Gate Spannung muss kleiner sein als die Source-Spannung, wodurch eine kleinere Spannungsdifferenz zwischen Eingang. Ein geringerer Spannungsabfall bedeutet, dass weniger Energie in Wärme umgewandelt wird und die Effizienz des LDOs verbessert wird.

Die Gleichung (4) zeigt, wie der Strom vom Verhältnis der Breite zur Länge des Transistorkanals abhängt.

$$I = \frac{1}{2} * \mu * Cox * \frac{W}{L} * (U_{gs} - U_{th})^2 \quad (4)$$

μ ist die Ladungsträgerbeweglichkeit, Cox ist die Gateoxid-Kapazität, U_{GS} die Gate-Source Spannung und U_{TH} die Schwellenspannung des Transistors. Bis auf die Gate-Source Spannung können diese Größen nicht verändert werden, sodass nur das Verhältnis der Breite zur Länge in Frage kommt, um den Strom für eine gegebene Gate-Source Spannung einzustellen. Allerdings gilt diese Transistor-Gleichung nur, wenn sich der Transistor in starker Inversion und im Sättigungsbereich befindet.

Wenn der Lastwiderstand sinkt, fällt die Ausgangsspannung von V_{out1} auf V_{out2} , und die Spannung über dem Passelement steigt von $-V_{ds1}$ auf $-V_{ds2}$. V_{inp} , die Spannung am nicht invertierenden Eingang, fällt deutlich unter V_{REF} . Diese Differenz wird von Opamp verstärkt, wodurch die Gate-Source-Spannung von $-V_{gs1}$ auf $-V_{gs2}$ fällt. Der PMOS leitet nun stärker und erhöht dadurch den Ausgangsstrom von I_{out1} auf I_{out2} . Die Ausgangsspannung und V_{inp} beginnen zu steigen und sich auf ihren initialen Wert zu erholen. Die Gate-Spannung steigt allmählich auf $-V_{gs3}$ an, wodurch der erhöhte Ausgangsstrom I_{out3} eine Ausgangsspannung V_{out3} erzeugt. Wenn diese Ausgangsspannung über $R1$ und $R2$ geteilt wird, ist V_{inp} und V_{ref} gleichgroß, wodurch sich eine Null-Fehler-Spannung $V_{ERR} = 0$ einstellt. [7]

Bei der Dimensionierung des PMOS als Durchgangselement wird die maximale Breite (100 μ m) und die minimale Länge (340nm) angenommen. Die Transistor-Breite soll so gewählt, dass über alle Lastfälle mindestens eine Spannung von 500mV am Gate des Transistors vorhanden ist. Diese Spannung ist dafür geeignet, den Betrieb der Transistoren im Ausgangspfad des Verstärkers im Sättigungsbereich sicherzustellen.

Um diese Spannung auch bei hohen Lastströmen nicht zu unterschreiten, wird zusätzlich zur Transistor-Breite W auch noch ein Multiplikator als ganze Zahl größer als 1 gewählt. Der Multiplikator bestimmt die Anzahl von identischen parallelgeschalteten PMOS Transistoren.

Die gesamte effektive Transistor-Breite wird dann durch Multiplikation der Breite der Einzeltransistor des PMOS mit dem Multiplikator berechnet.

In Abbildung 6 wird die Gate-Spannung des Pass-Devices bei maximaler Last als Funktion des Multiplikators dargestellt. Der Scharparameter entspricht dabei der Prozess Corner bzw. der Temperatur. Die Gate Spannung steigt mit zunehmendem Wert des Multiplikators an, da die Source-Gate Spannung des PMOS-Pass-Devices kleiner wird, während die Eingangsspannung d.h. das Source-Potential des Pass-Devices konstant bleibt. Für den Entwurf wird der Worst-Case Fall berücksichtigt.

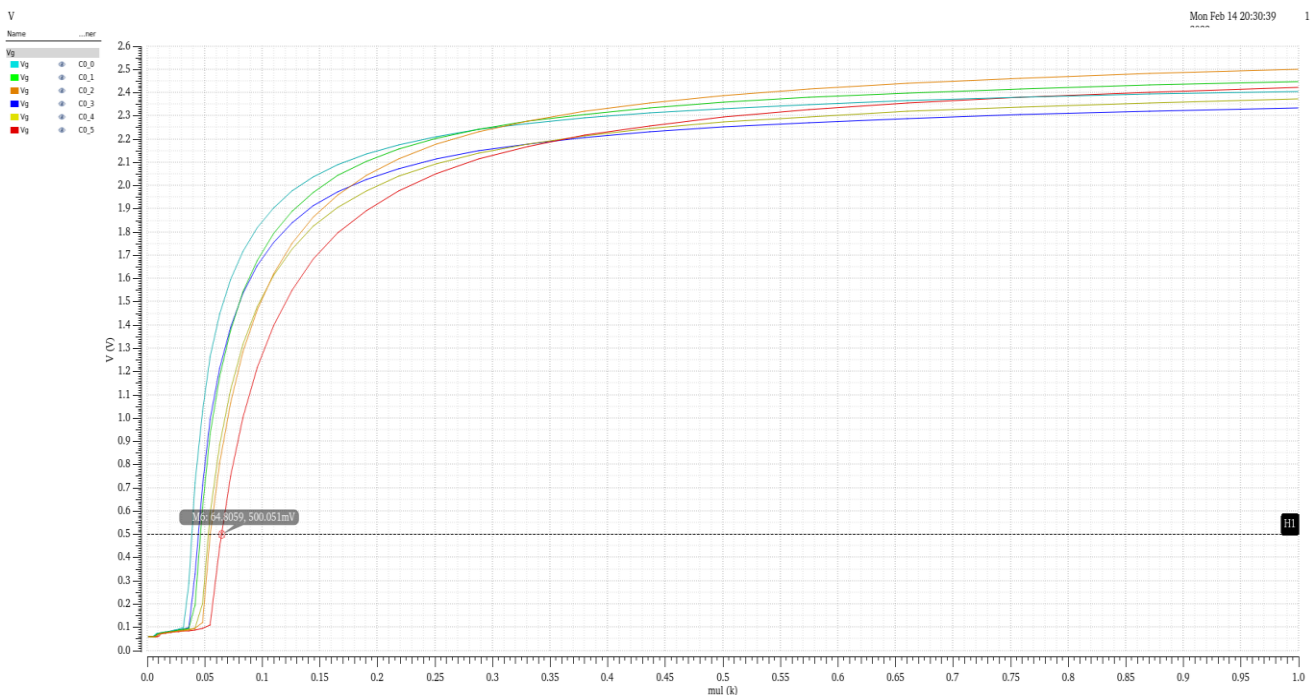


Abbildung 6 Corner Analyse des Gate Potentials in abhängigkeit mit der Multiplikator Wert

Bei der Corner C0_5 (T=120°,ss) liegt der minimale Wert des Multiplikators bei 65, um das Gate Potential über einen Wert von 500mV zu behalten.

Im nächsten Schritt wird der minimale Laststrom bestimmt, der nötig ist, damit die Gate-Source Spannung einen Wert von 500 mV nicht unterschreitet. Dazu wird die Gate-Source Spannung als Funktion des Laststroms simuliert.

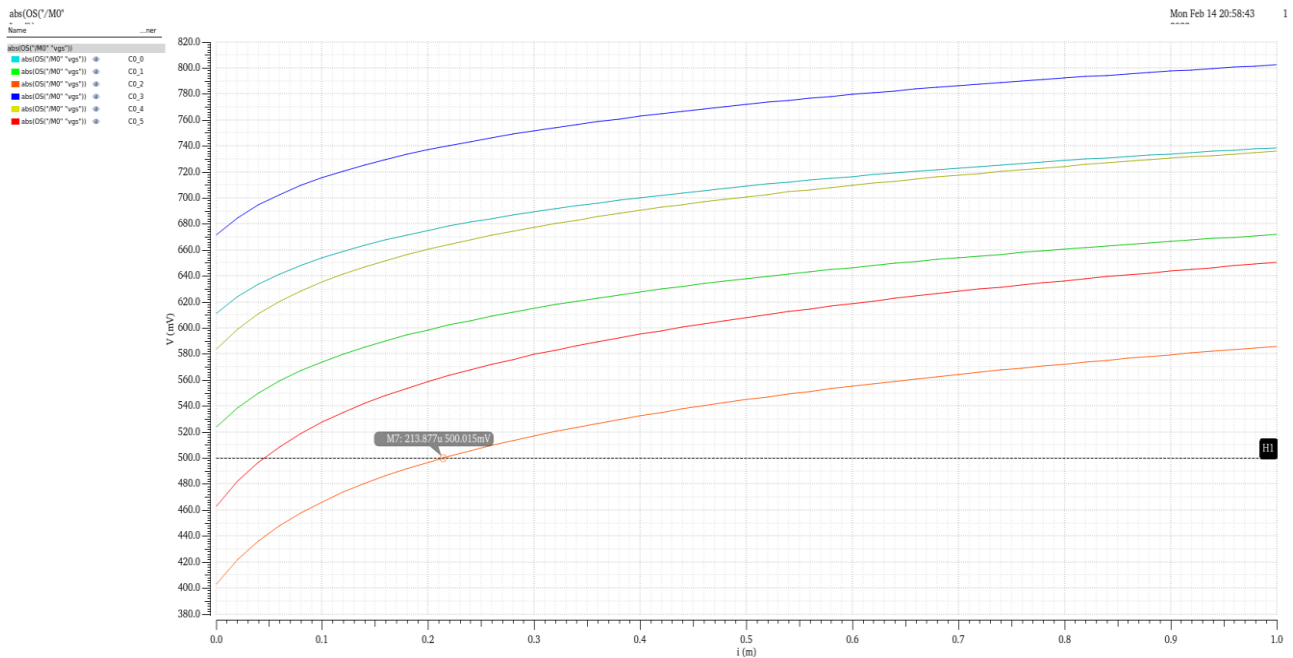


Abbildung 7 Corner Analyse der Gate-Source Spannung in abhängigkeit von Laststrom

Der minimale Strom ergibt sich dann bei der Corner CO_4 (120°,tt) und beträgt 215μA.

4.3 Operationsverstärker

Bei der Dimensionierung des LDO wird zunächst nur ein Verilog-A Modell des Operationsverstärkers verwendet, um verschiedene Parameter wie z.B. die Verstärkung oder den Ausgangswiderstand so zu wählen, dass der LDO wie gewünscht funktioniert und definierte Spezifikationen einhält. Ein Verilog-A-Verstärkermodell ist ein textuelles in der Sprache Verilog-A entworfenes Modul, welches das Verhalten eines analogen Verstärkers beschreibt. Es wird verwendet, um das Verhalten von Verstärkerschaltungen wie Operationsverstärkern oder Verstärkern höherer Leistung zu simulieren und zu optimieren, bevor diese in der Realität gebaut werden.

4.3.1 Line Regulation

Bei linearen Spannungsreglern sollte die Ausgangsspannung möglichst unabhängig von der Eingangsspannung sein. Bei realen Reglern existiert jedoch eine kleine Abhängigkeit zwischen der Ein- und der Ausgangsspannung. Das Regelverhalten bezüglich der Eingangsspannung wird als Line Regulation bezeichnet und hängt maßgeblich vom Verstärkungsfaktor A des Operationsverstärkers ab.

Die Line Regulation ist definiert als

$$\text{Line Regulation} = \frac{V_{\text{out,max}} - V_{\text{out,min}}}{\Delta V_{\text{in}}} * 100\% \quad (5)$$

Die Line-Regulation gibt den prozentualen Anstieg oder Abfall der Ausgangsspannung des Reglers an, wenn sich die Eingangsspannung um einen bestimmten Prozentsatz ändert. Ein niedrigerer Prozentsatz für die Line-Regulation bedeutet eine bessere Fähigkeit des Spannungsreglers, die Ausgangsspannung konstant zu halten, unabhängig von Schwankungen der Eingangsspannung.

Bei der Wahl des Verstärkungsfaktors muss darauf geachtet werden, dass die Verstärkung nicht zu groß ist. Wie in den folgenden Kapiteln gezeigt wird, verbessert ein hoher Verstärkungsfaktor zwar die Line und Load Regulation aber ein zu großer Verstärkungsfaktor kann die Stabilität des Reglers beeinflussen.

Auf diesem Grund wird die minimale Verstärkung ausgewählt, mit der sichergestellt ist, dass im kompletten zulässigen Eingangsspannungsbereich die Ausgangsspannung nicht mehr als um 1% von 3.1V d.h 30mV schwankt.

Bei der Line Regulation wird der Strom als konstant angenommen. Als extreme Fällen werden der minimale und maximale Wert des Stroms betrachtet. Zunächst werden die Corner gesucht, bei dem die Ausgangsspannung ihren maximalen oder minimalen Wert erreicht.

In den Abbildungen (8) und (9) ist zu sehen, dass bei maximalem Strom die Corner CO_0 (-40°,tt) und CO_5 (120°,ss) die größte Variation der Ausgangsspannung herbeiführen. Bei minimalem Strom haben die Corner CO_3 (-40°,ss) und CO_4 (120°,tt) den stärksten Einfluss auf die Ausgangsspannung.

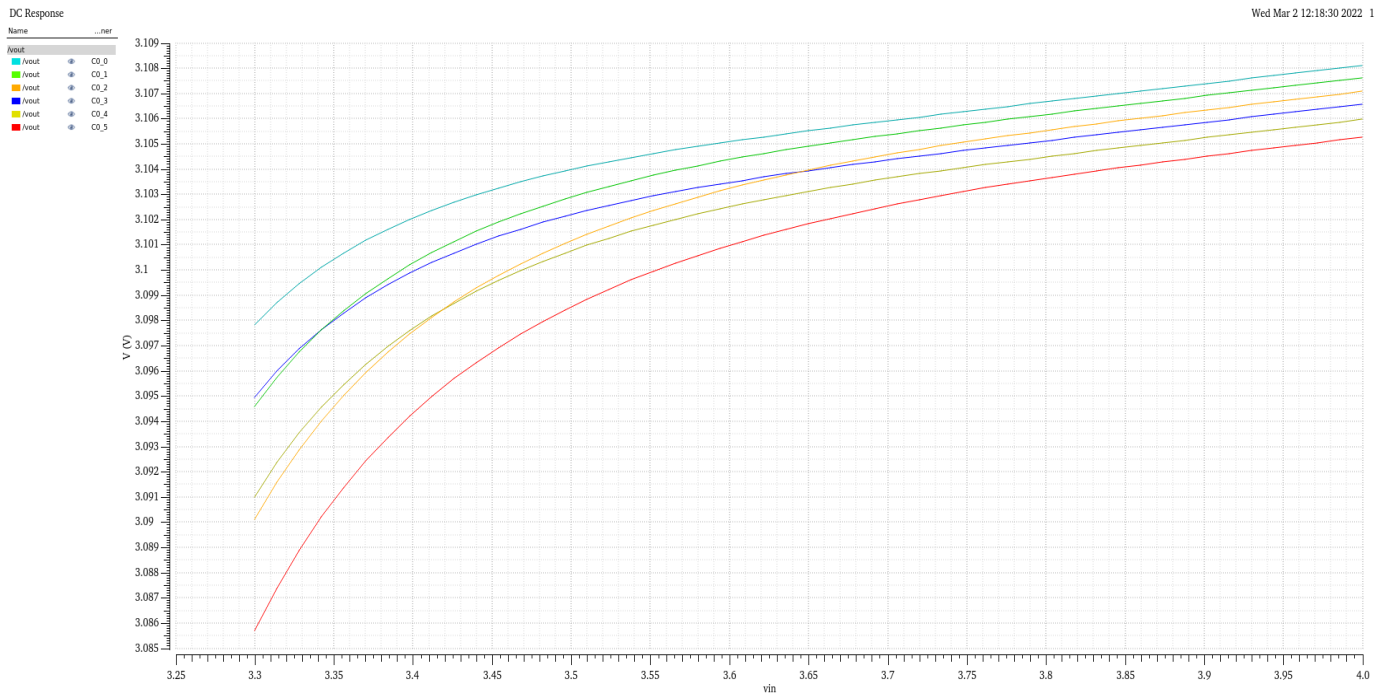


Abbildung 8 Line Regulation über verschiedene Temperaturen und Prozesscorner bei 200mA Laststrom

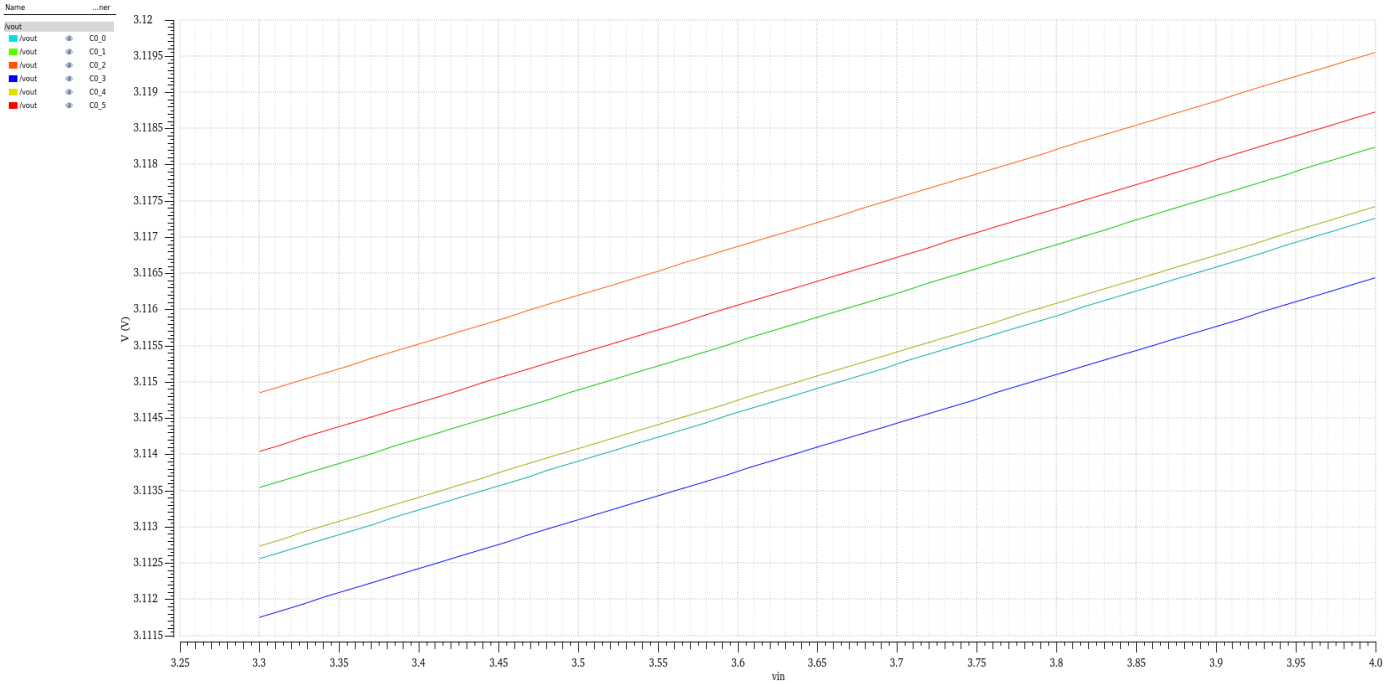


Abbildung 9 Line Regulation über verschiedene Temperaturen und Prozesscorner bei 215mA Laststrom

Als nächstes werden die ausgewählten Corner genutzt, um die kleinste passende Verstärkung zu bestimmen. Für dieses Zweck wird die Line Regulation mit den Verstärkungen 100, 125, 150, 175, 200 simuliert.

DC Response			
Name	Vis	modelFiles	temp
/vout	<input checked="" type="checkbox"/>	...	
/vout	<input checked="" type="checkbox"/>	...180_reg33_v114.lib.scs:ss	100 120
/vout	<input checked="" type="checkbox"/>	...m180_reg33_v114.lib.scs:tt	100 -40
/vout	<input checked="" type="checkbox"/>	...180_reg33_v114.lib.scs:ss	125 120
/vout	<input checked="" type="checkbox"/>	...m180_reg33_v114.lib.scs:tt	125 -40
/vout	<input checked="" type="checkbox"/>	...180_reg33_v114.lib.scs:ss	150 120
/vout	<input checked="" type="checkbox"/>	...m180_reg33_v114.lib.scs:tt	150 -40
/vout	<input checked="" type="checkbox"/>	...180_reg33_v114.lib.scs:ss	175 120
/vout	<input checked="" type="checkbox"/>	...m180_reg33_v114.lib.scs:tt	175 -40
/vout	<input checked="" type="checkbox"/>	...180_reg33_v114.lib.scs:ss	200 120
/vout	<input checked="" type="checkbox"/>	...m180_reg33_v114.lib.scs:tt	200 -40

Abbildung 10 Corner für die Line Regulation

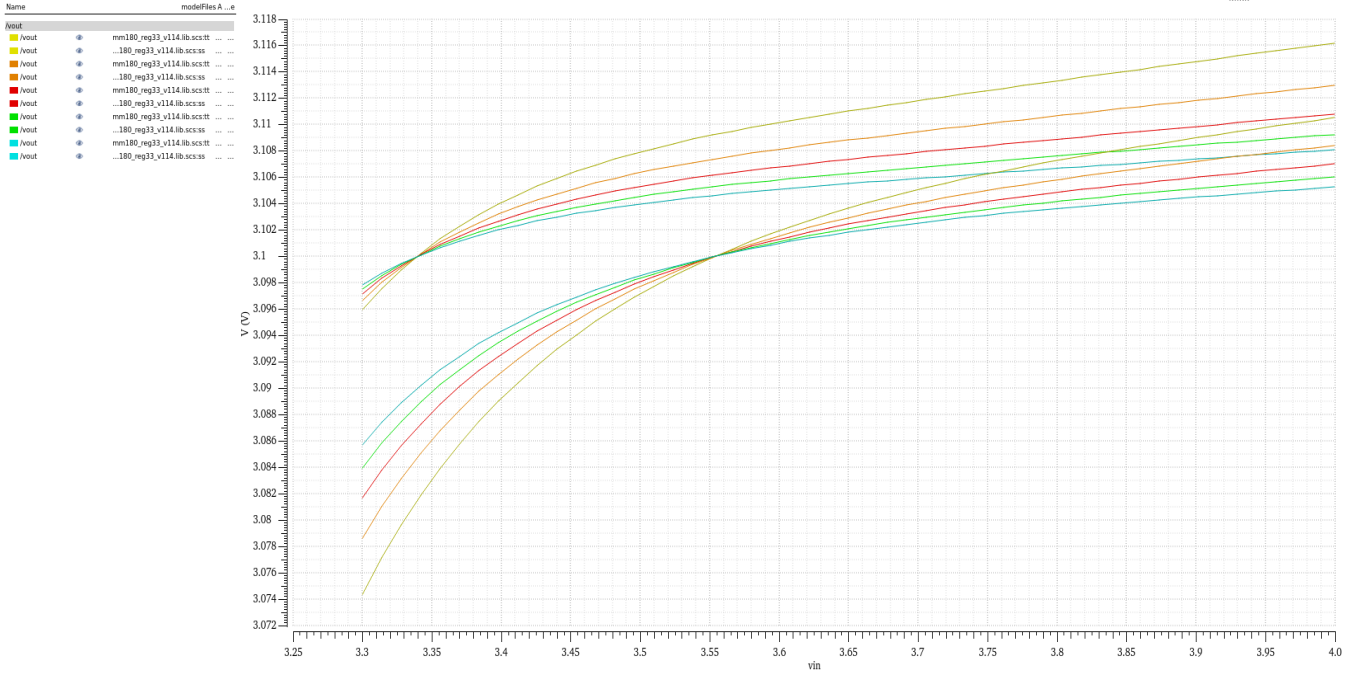


Abbildung 11 Line Regulation mit maximalem Strom

Bei maximalem Strom schwankt die Ausgangsspannung mit einer Verstärkung von 100 um ± 38 mV. Diese Variation der Ausgangsspannung überschreitet die 1% Variationsgrenze und erfüllt nicht damit die Spezifikation des LDOs beeinflussen.

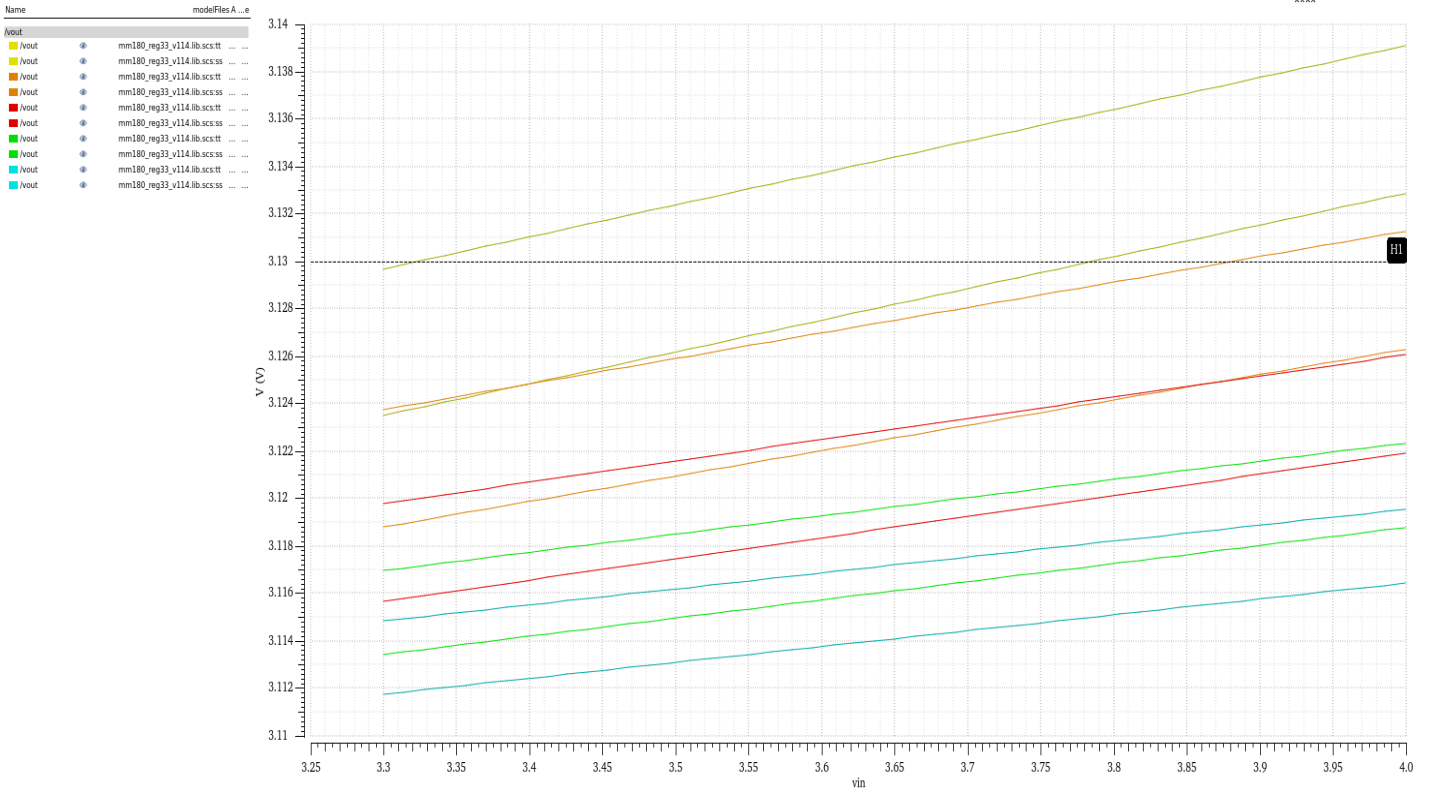


Abbildung 12 Line Regulation mit minimalem Strom

Zu sehen ist, dass mit größeren Verstärkungsfaktoren die Differenz der Ausgangsspannung kleiner wird.

Mit minimalem Strom springt die Ausgangsspannung bei hohen Eingangsspannung über 30mV bei der Verstärkungen 100 und 125. Dieser Anstieg ist zu hoch und erfüllt damit nicht die Spezifikation des Reglers. Es wird auf diesem Grund im Folgenden die Verstärkung 150 genutzt.

4.3.2 Load Regulation

Die Load Regulation ist ein Regler Charakteristik, welche die Fähigkeit des LDOs, die angegebene Ausgangsspannung unter variierenden Lastverhältnissen konstant zu halten, anzeigt. Die Load Regulation ist definiert als

$$\text{Load Regulation} = \frac{V_{\text{out,imin}} - V_{\text{out,imax}}}{V_{\text{out,imax}}} * 100\% \quad (6)$$

Die Load-Regulation gibt den prozentualen Anstieg oder Abfall der Ausgangsspannung des Reglers an, wenn sich die Lastbedingungen um einen bestimmten Prozentsatz ändern. Ein niedrigerer Prozentsatz für die Load-Regulation bedeutet eine bessere Fähigkeit des Spannungsreglers, die Ausgangsspannung konstant zu halten, unabhängig von Änderungen der Lastbedingungen.

Wie bei der Line-Regulation muss der Regler auch bei einem Lastwechsel in der Lage sein, eine konstante Ausgangsspannung zur Verfügung zu stellen. Der Regler wurde für einen maximalen Laststrom von 200 mA ausgelegt. Dieser Strom wird aber nicht immer konstant bleiben, sondern im Bereich von 215µA bis 200 mA variieren. Der Regler sollte also in der Lage sein, in diesem Laststrombereich die Ausgangsspannung von 3,1 V konstant zur Verfügung zu stellen.

In der folgenden Abbildung wird die Ausgangsspannung mit Variation des Stromes simuliert bei einer Verstärkung von 150.

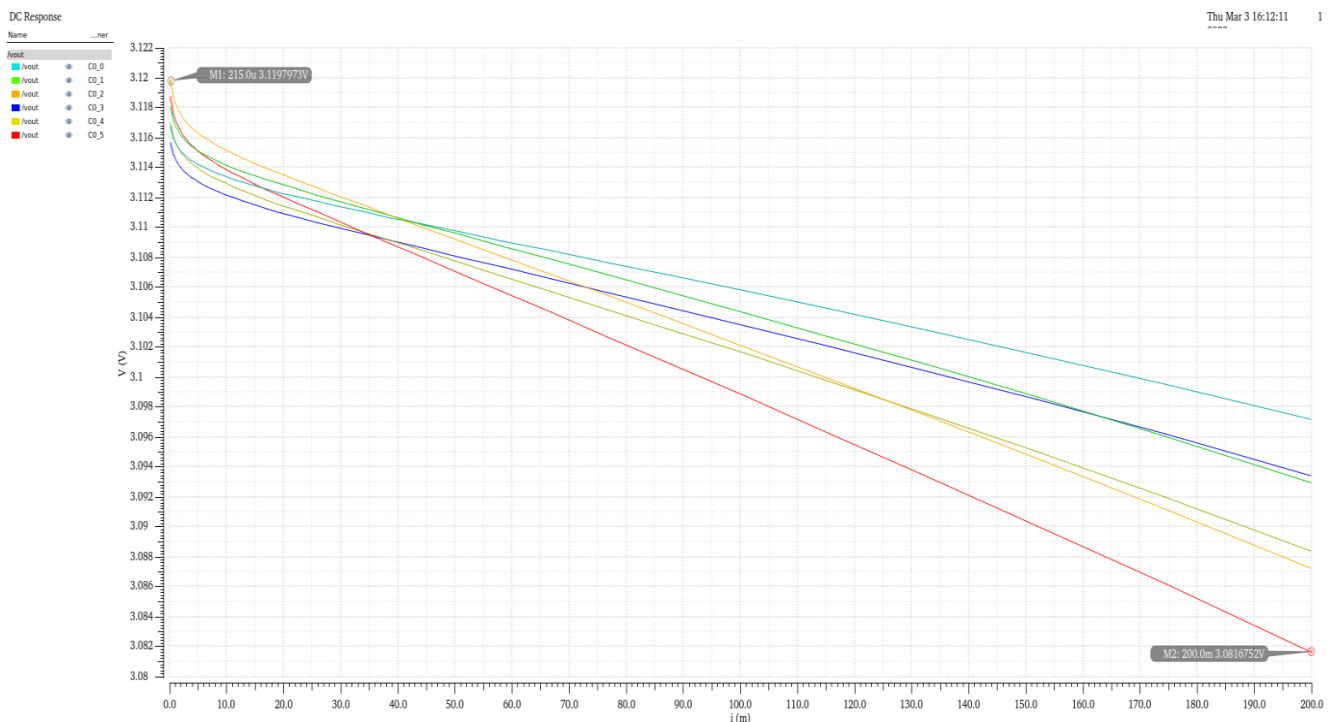


Abbildung 13 Load Regulation

Die Ausgangsspannung schwankt nur um $\pm 20\text{mV}$. Dieser Anstieg ist aber so gering, dass die Ausgangsspannung nahezu als konstant bezeichnet werden kann. Die Verstärkung 150 kann daher genommen werden als die minimale Verstärkung des Operationsverstärkers.

5. Stabilität

Die Stabilität eines Linearreglers (LDO) ist ein wichtiger Faktor, der die Fähigkeit des Reglers beeinflusst, eine stabile und konstante Ausgangsspannung bereitzustellen. Ein instabiler LDO kann zu unerwünschten Effekten wie Oszillationen, Über- oder Unterschwingungen und anderen Regelschleifenproblemen führen.

Fast alle Spannungsregler verwenden eine Rückkopplungsschleife, um eine konstante Ausgangsspannung zu erzielen.

Wie bei jedem Regelkreis stellt sich eine Phasenverschiebung beim Rückkopplungssignal des Spannungsreglers ein, und der Betrag der Phasenverschiebung bestimmt die Stabilität des Regelkreises.

Um eine stabile Rückkopplungsschleife sicherzustellen, muss die Phasenverzögerung der offenen Regelschleife immer weniger als 180° (nacheilend) an dem Punkt betragen, an dem die Schleife eine Verstärkung von 0 dB erreicht.

Low-Dropout-Regler erfordern einen Ausgangskondensator, der zwischen dem Ausgangsport Vout und Masse angeschlossen ist, um den internen Regelkreis zu stabilisieren. Kondensatoren spielen eine wichtige Rolle bei der Stabilität, insbesondere bei der Kompensation der Regelschleifen von LDOs. Üblicherweise wird ein Mindestwert der

Ausgangskapazität festgelegt. Darüber hinaus wird ein Bereich für den äquivalenten Serienwiderstand des Kondensators spezifiziert. [9]

5.1 Pole des LDOs

Der LDO hat mehrere Pole, welche dafür sorgen, dass der Regler ohne weitere Maßnahmen nicht stabil ist und somit ein unerwünschtes Verhalten aufweisen kann. Die dominanten Pole des Reglers befinden sich am Regler Ausgang und am Ausgang des Operationsverstärkers.

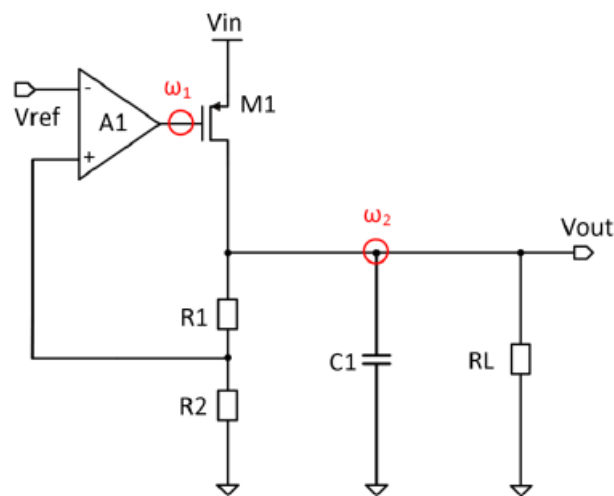


Abbildung 14 Dominante Pole des LDOs

Der erste Pol (ω_1) ergibt sich aus dem Ausgangswiderstand des PMOS-Durchgangstransistors, dem Lastwiderstand und der Ausgangskapazität C_L . Der zweite Pol (ω_2) ergibt sich aus dem Ausgangswiderstand des Operationsverstärkers R_{oa} und die äquivalente PMOS-Kapazität C_{pmos} .

Um die Frequenzen der beiden Pole näher zu betrachten, wird eine AC-Analyse an beide Stellen durchgeführt. Dafür wird die Rückkopplungsschleife, wie in Abbildung 15 angezeigt, geöffnet.

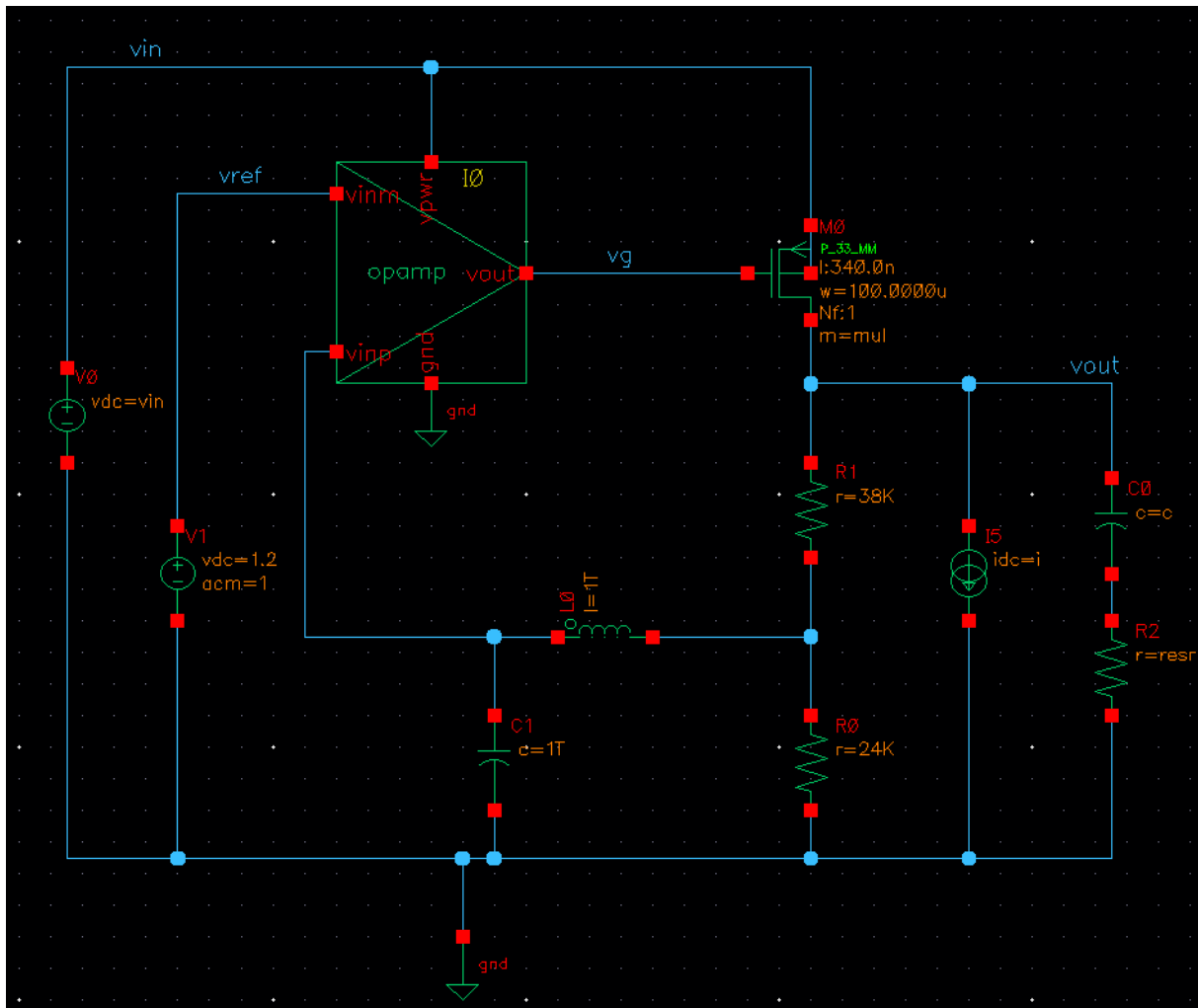


Abbildung 15 Schaltung für die AC-Analyse

Bei dieser Schaltung handelt es sich um den offenen Regelkreis. Durch den Tiefpassfilter bestehend aus dem Kondensator und der Spule wird die Rückkopplungsschleife für Wechsignale geöffnet, während Gleichanteile durchgelassen werden. Dadurch kann die Schaltungen in den richtigen Arbeitspunkt gelangen. Durch eine AC-Analyse wird die Phase und die Verstärkung des Verstärkers und am LDO-Ausgang betrachtet.

Durch die Ausdrücke „bandwidth((VF("/vout")/VF("/vg")) 3 "low")“ und „bandwidth(VF("/vg") 3 "low")“ kann man die Frequenz der Polstellen bestimmen.

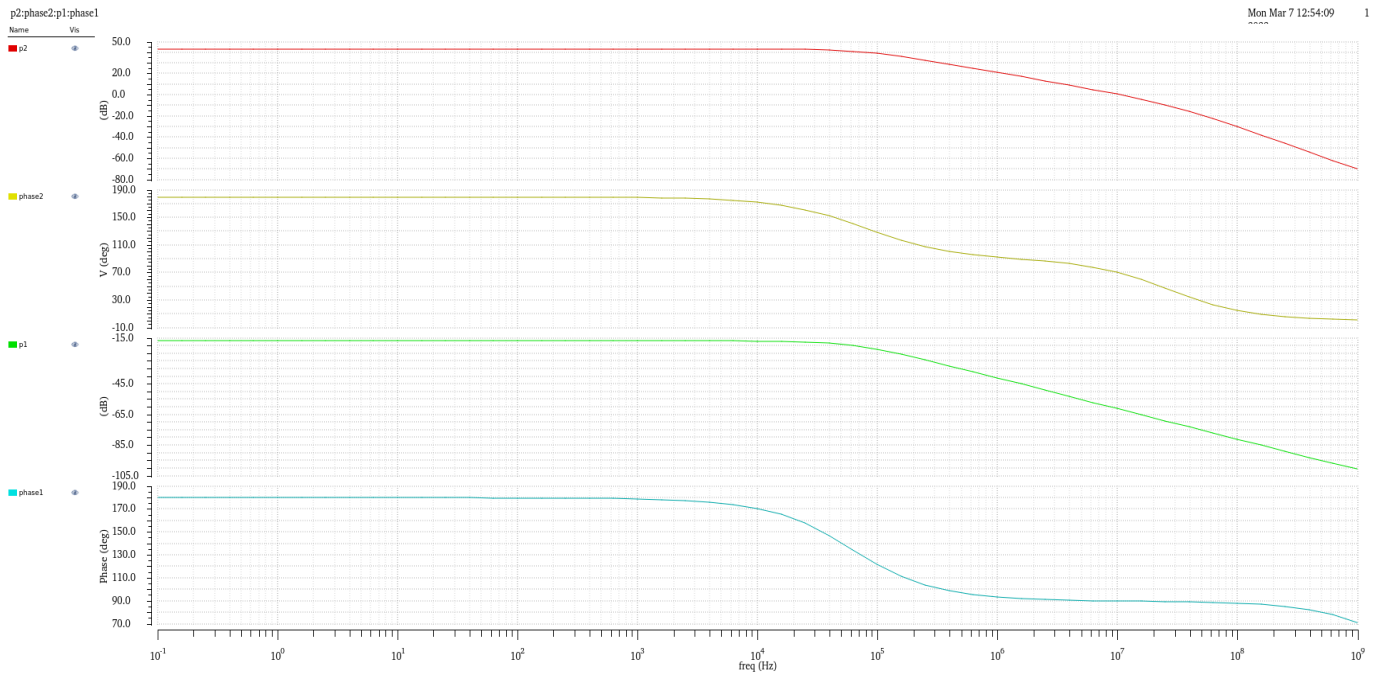


Abbildung 16 AC-Analyse an beiden Polstellen

Aus dieser Simulation hat es sich ergeben, dass der erste Pole bei 61,9 kHz und der zweiten bei 75,36kHz liegt. Die beiden Pole sind demnach nah beieinander, was dazu führt, dass die Phasenreserve stark reduziert wird. Es ist deswegen wichtig die beiden Pole voneinander zu trennen oder den Pole am Ausgang des Opamps zu kompensieren.

Für diesen Ziel müssen Ausdrücke zur Berechnung der Polstellen bestimmt werden. Dabei gilt folgendes:

Der Pol Am Ausgang des Reglers berechnet sich zu

$$\omega_1 = \frac{1}{2 * \pi * R_p * C_{load}} \quad (7)$$

Der Pol Am Ausgang des Opamps berechnet sich zu

$$\omega_2 = \frac{1}{2 * \pi * R_{oa} * C_{pmos}} \quad (8)$$

Der Rp entspricht dem Parallelwiderstand, der sich am Ausgang des LDOs befindet und berechnet sich zu:

$$R_p = R_{DS} \parallel R_L \parallel R_{esr} \quad (9)$$

R_{DS} entspricht dabei dem Ausgangswiderstand des Pass-Devices und R_L dem Lastwiderstand. Die äquivalenter Serienwiderstand R_{ESR} wird für die Betrachtung der Polstellen vernachlässigt.

C_{pmos} entspricht die Parasitären Kapazitäten des Pass Elements und lässt sich berechnen mit:

$$C_{pmos} = C_{gs} + C_{gb} + (1 + g_m * R_p) * C_{gd} \quad (10)$$

Wobei C_{gs} der Gate-Source Kapazität, C_{gb} der Gate-Bulk Kapazität, C_{gd} der Gate-Drain Kapazität und g_m der Steilheit des Pass Transistors entspricht. Formel 10 berücksichtigt dabei, dass die Gate-Drain Kapazität C_{gd} auf Grund des Miller-Effektes um die Verstärkung des Pass-Devices vergrößert.

In den folgenden Abbildungen werden die berechneten Werte der Polstellen mit den simulierten Werten verglichen.

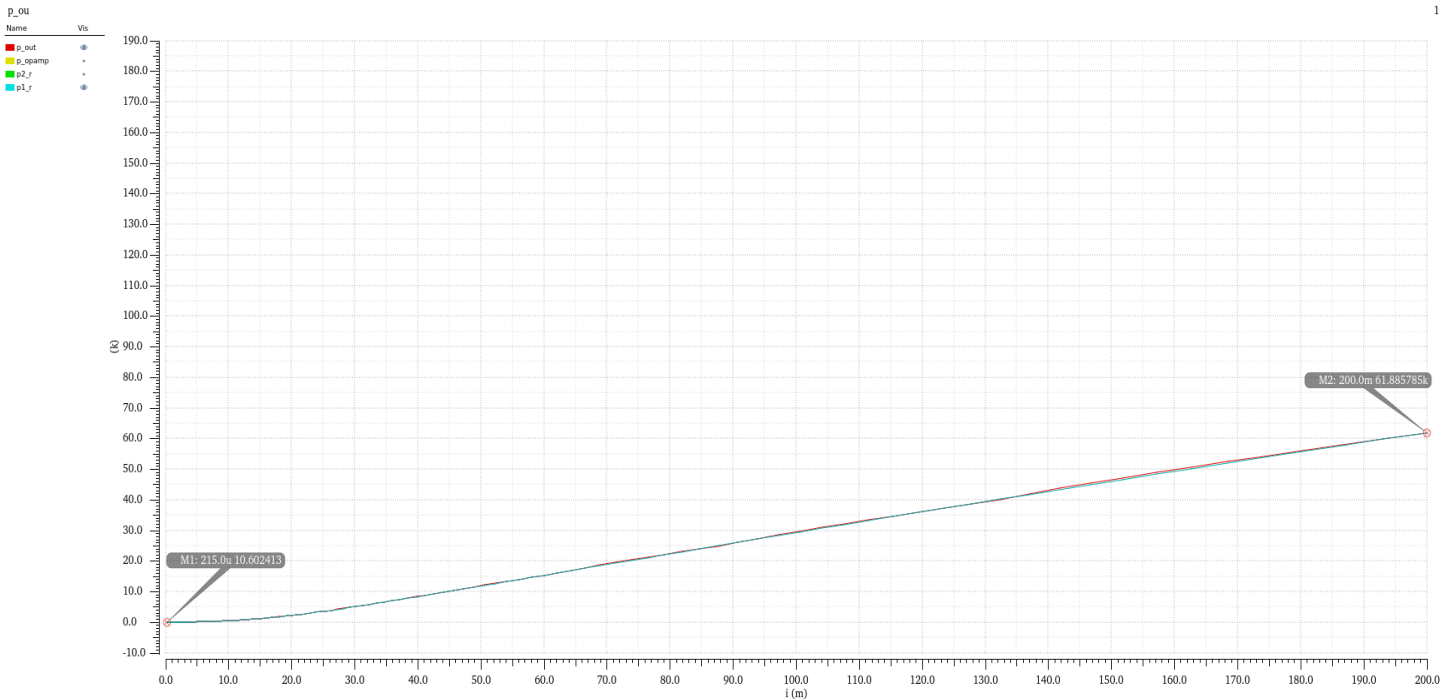


Abbildung 17 Vergleich der berechneten und simulierten Polstellenfrequenz am Reglerausgang

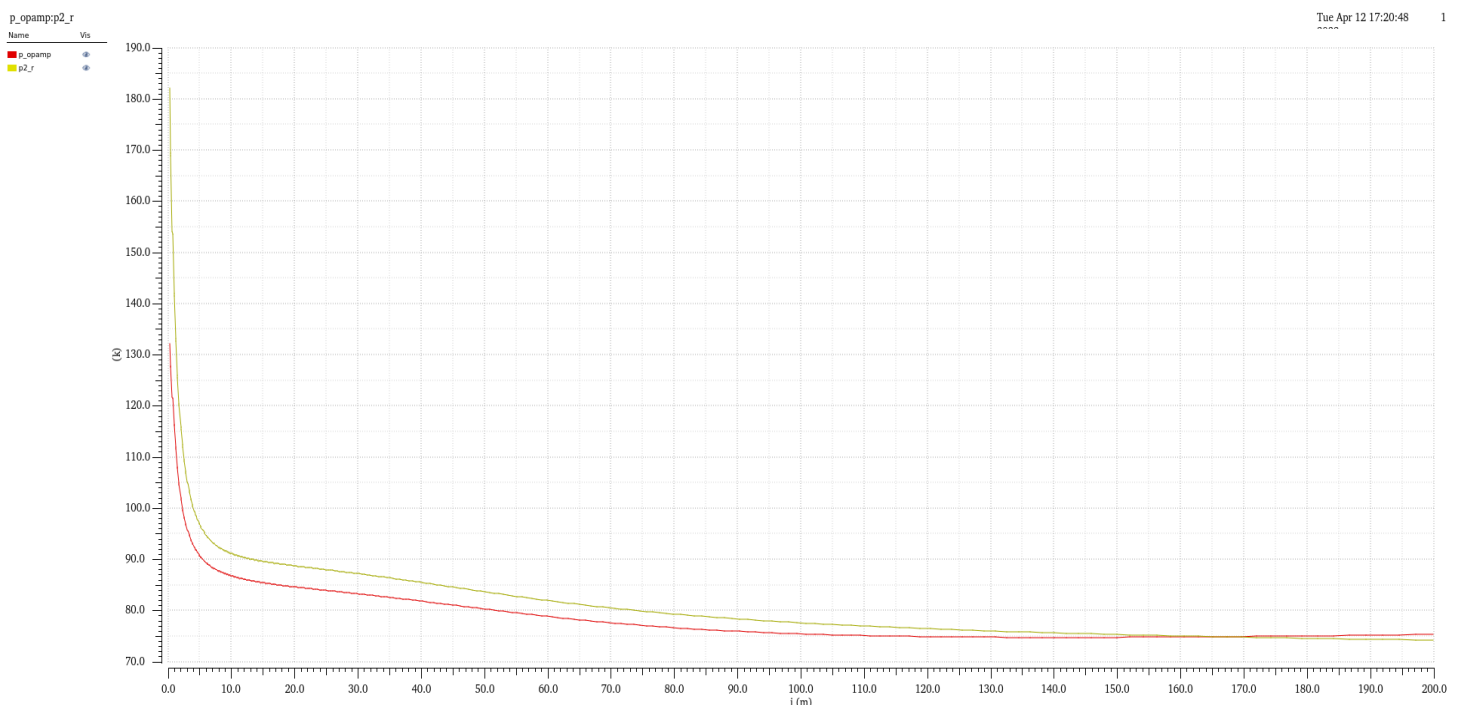


Abbildung 18 Vergleich der berechneten und simulierten Polstellenfrequenz am Opampausgang

Die berechnete Werte entsprechen fast den simulierten Werte. Die Formel erlaubt es, die Polstellen durch Änderung der entsprechenden Parameter anzupassen.

Um die Polstellen voneinander zu trennen kann man den Ausgangswiderstand des Opamps reduzieren, da er nur einen Einfluss auf die zweite Polstelle besitzt. Dadurch wird die zweite Polstelle zu höheren Frequenzen verschoben.

Es muss aber darauf geachtet werden, dass die Phasenreserve des offenen Regelkreises über 60° liegt, um die Regler Stabilität zu gewährleisten. Die Phasenreserve wird durch die Funktion „phaseDegUnwrapped(getData("loopGain" ?result "stb"))“ aufgerufen und bei Änderung des Laststromes und bei verschiedenen Ausgangswiderstände des Opamps simuliert.

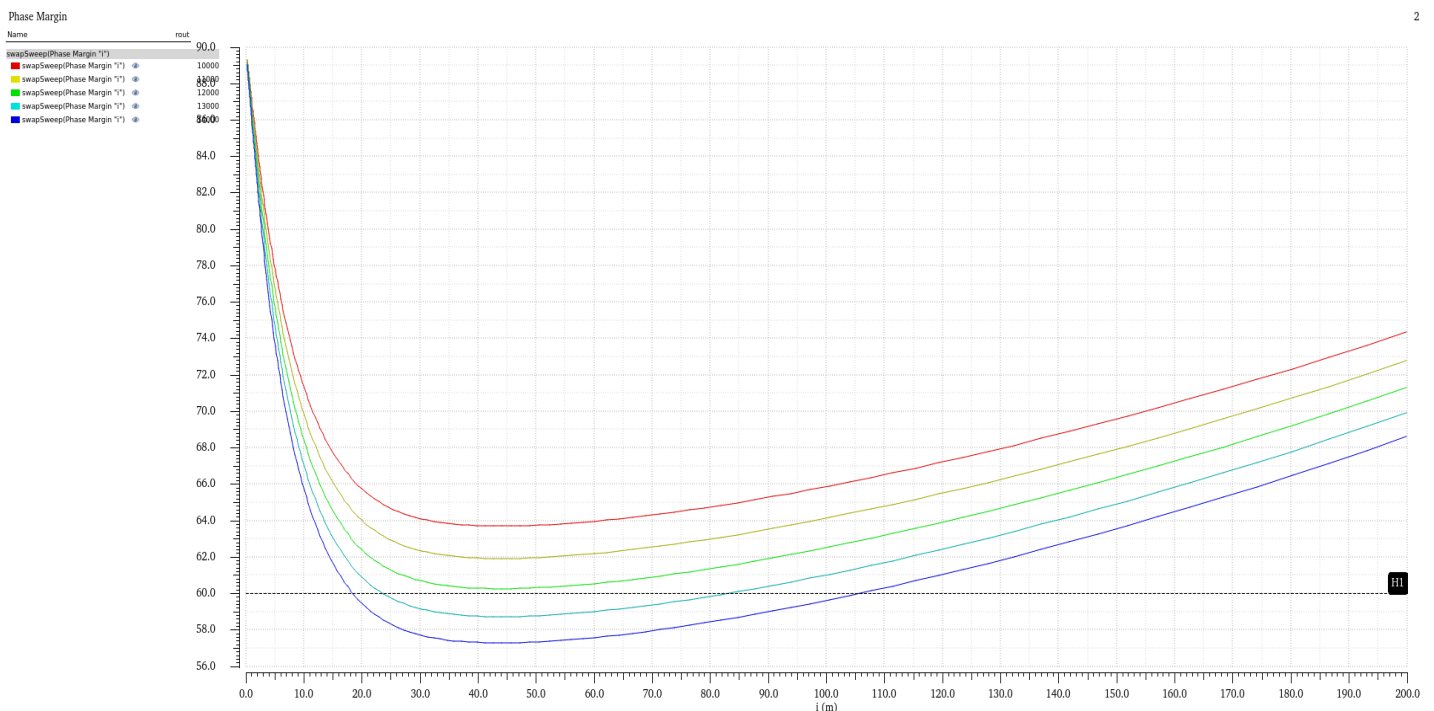


Abbildung 19 Phasenreserve als Funktion des Laststromes bei Verstärkerausgangswiderständen von $10k\Omega$, $11k\Omega$, $12k\Omega$, $13k\Omega$, $14k\Omega$

Der Verstärkerausgangswiderstand R_{oa} darf dementsprechend höchstens $12k\Omega$ betragen, um die Phasenreserve über 60° zu halten. Mit einer weiteren Corner Analyse hat sich ergeben, dass bei niedrigen Temperaturen die Phasenreserve bei $12k\Omega$ unter 60° sinkt. Daher wird Verstärkerausgangswiderstand R_{oa} auf $8k\Omega$ begrenzt.

Nachdem allen wichtigen Parametern bestimmt worden sind, wird mithilfe der Stabilität Analyse in Virtuoso das Bode Diagramm des Regelkreises des LDOs erstellt. Wie in Abbildung 1 gezeigt, wird die Rückkopplungsschleife bei dem nicht invertierenden Eingang des Opamps durch den Einsatz der Spannungsquelle V2 geöffnet. Diese soll in der STB-Analyse als Probe Instanz dienen.

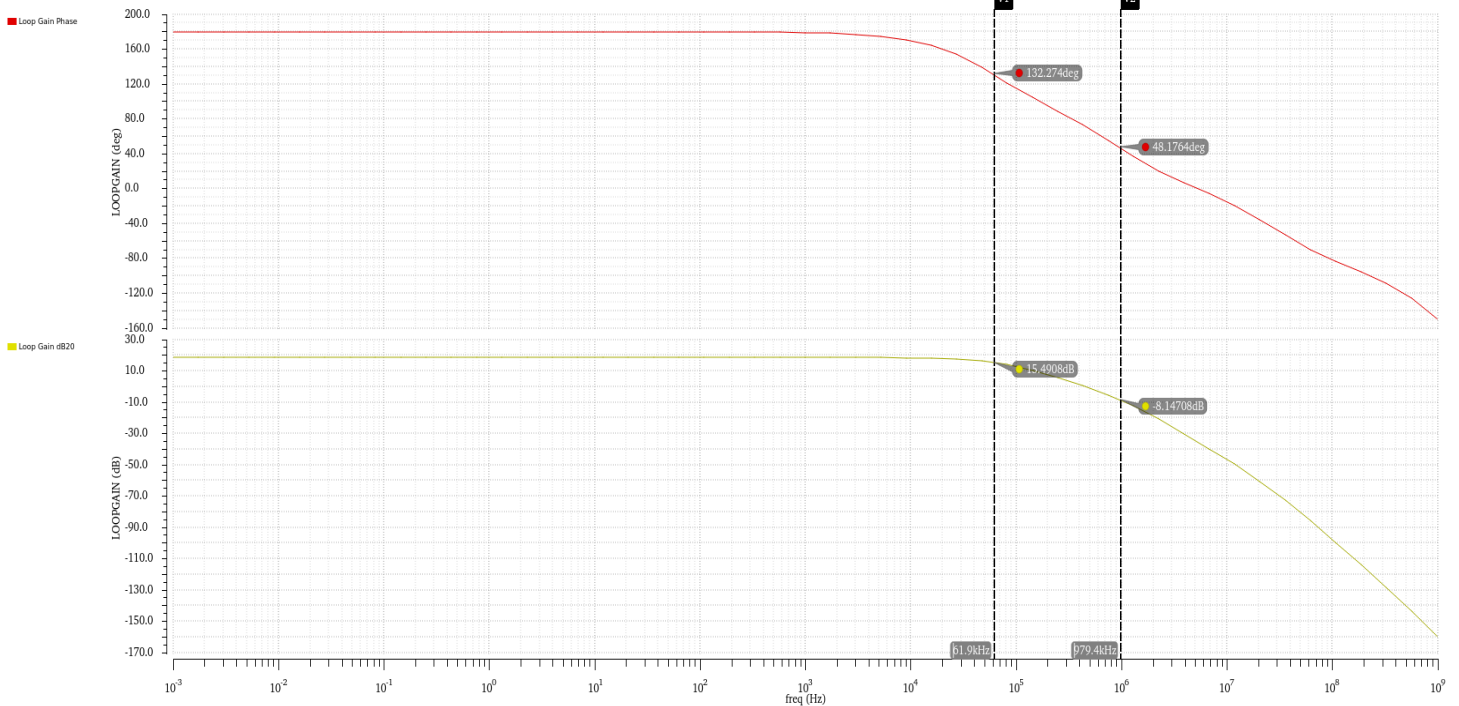


Abbildung 20 Bode Diagramm

Der offene Regelkreis weist ein stabiles Verhalten auf. Die beiden Pole liegen bei Frequenzen von 61,9kHz bzw. 979,4kHz und der offene Regelkreis besitzt eine Phasenreserve von 71,29°. Für den gewählten Verstärker Ausgangswiderstand ist es unnötig, eine zusätzliche Nullstelle.

5.2 Nullstelle des LDOs

Die einzelne Nullstelle (f_1) ergibt sich aus dem internen Widerstand des Kondensators R_{ESR} und der Ausgangskapazität C_{LOAD} .

Es lässt sich berechnen durch folgenden Ausdruck:

$$f_z = \frac{1}{2 \cdot \pi \cdot R_{ESR} \cdot C_{LOAD}} \quad (11)$$

Wobei C_{LOAD} der Ausgangskapazität entspricht und 2,2µF beträgt.

Durch die Nullstelle kann der Pol am Ausgang des Verstärkers kompensiert werden. Um dies zu erreichen, muss die Frequenz f_z der Nullstelle nahezu identisch mit der Frequenz p_2 der Polstelle am Ausgang des Operationsverstärkers sein.

Für diesen Zweck lässt sich die R_{ESR} durch den folgenden Ausdruck berechnen:

$$R_{ESR} = \frac{1}{2 \cdot \pi \cdot C_{LOAD} \cdot f_2} \quad (12)$$

Und ergibt:

$$Resr = \frac{1}{2 * \pi * 2,2 * 10^{-6} F * 75,36 * 10^3 Hz} \quad (13)$$

$$Resr = 960m\Omega$$

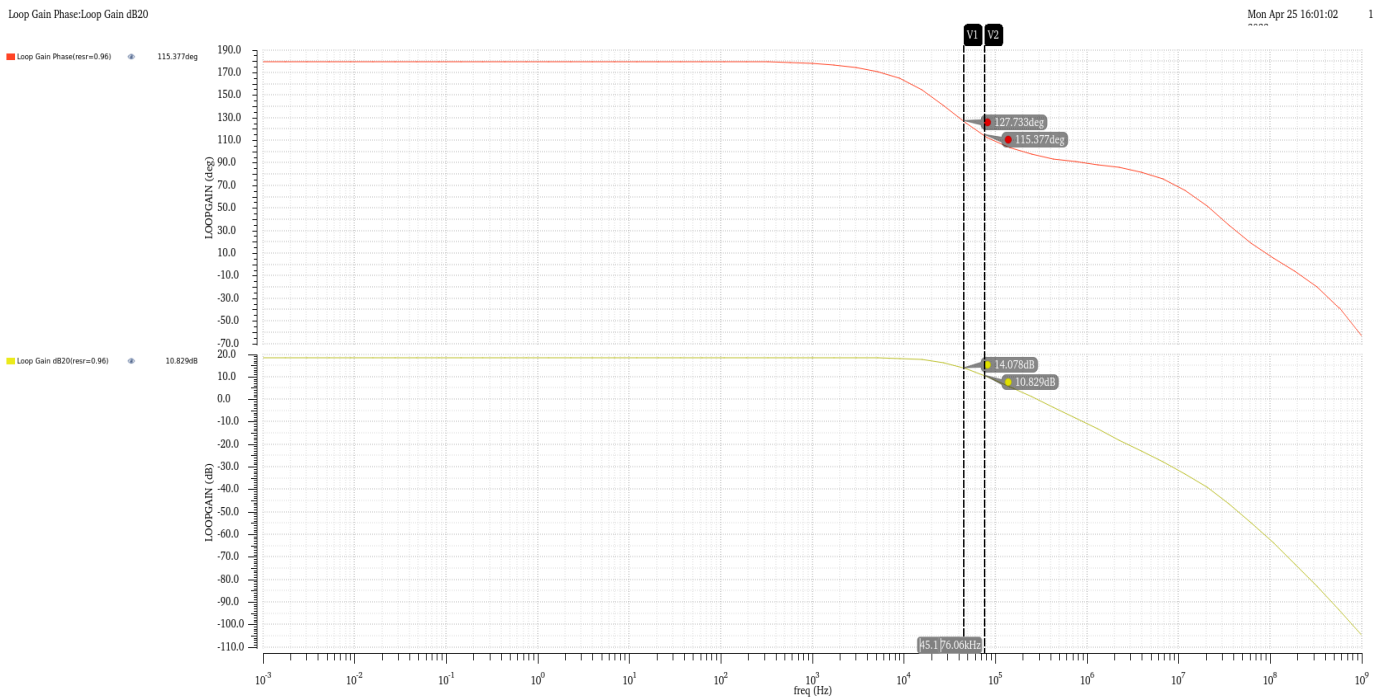


Abbildung 21 Bode Diagramm des offenen Regelkreises mit Nullstelle

In Abbildung 21 ist es zu sehen, dass die Polstelle am Ausgang des Verstärkers durch die Nullstelle kompensiert wurde. Im Vergleich zum Bode Diagramm in Abbildung 20 kann man feststellen, dass bei 75,36kHz der Phasengang bei 90° bleibt und nicht weiter sinkt. Außerdem sinkt die Verstärkung weiter mit -20dB statt -40dB pro Dekade.

5.3 Transienten Analyse

Eine Transientenanalyse eines LDOs ist wichtig, um zu verstehen, wie der Regler auf schnelle Änderungen der Last oder der Eingangsspannung reagiert. Wenn beispielsweise eine LDO-Last z. B. Digitalteil eines Chips plötzlich vom Hochgeschwindigkeitsbetrieb in einen inaktiven Zustand oder umgekehrt übergeht, ändert sich ihr Betriebsstrom sehr schnell, was zu einer sprunghaften Änderung des Laststroms des LDOs entspricht.

Die Transientenanalyse wird durchgeführt, um zu verstehen, wie die Schaltung auf Änderungen reagiert und wie lange es dauert, bis sie sich stabilisiert hat. Abbildung 22 zeigt eine vereinfachte Schaltung für die Transienten Analyse des LDOs. Die Instanz I7 entspricht

dabei der Transienten Stromquelle und liefert einen sprunghaften Laststrom zwischen dem minimalen $i_1=215\mu\text{A}$ und maximalen $i_2=200\text{mA}$ Wert.

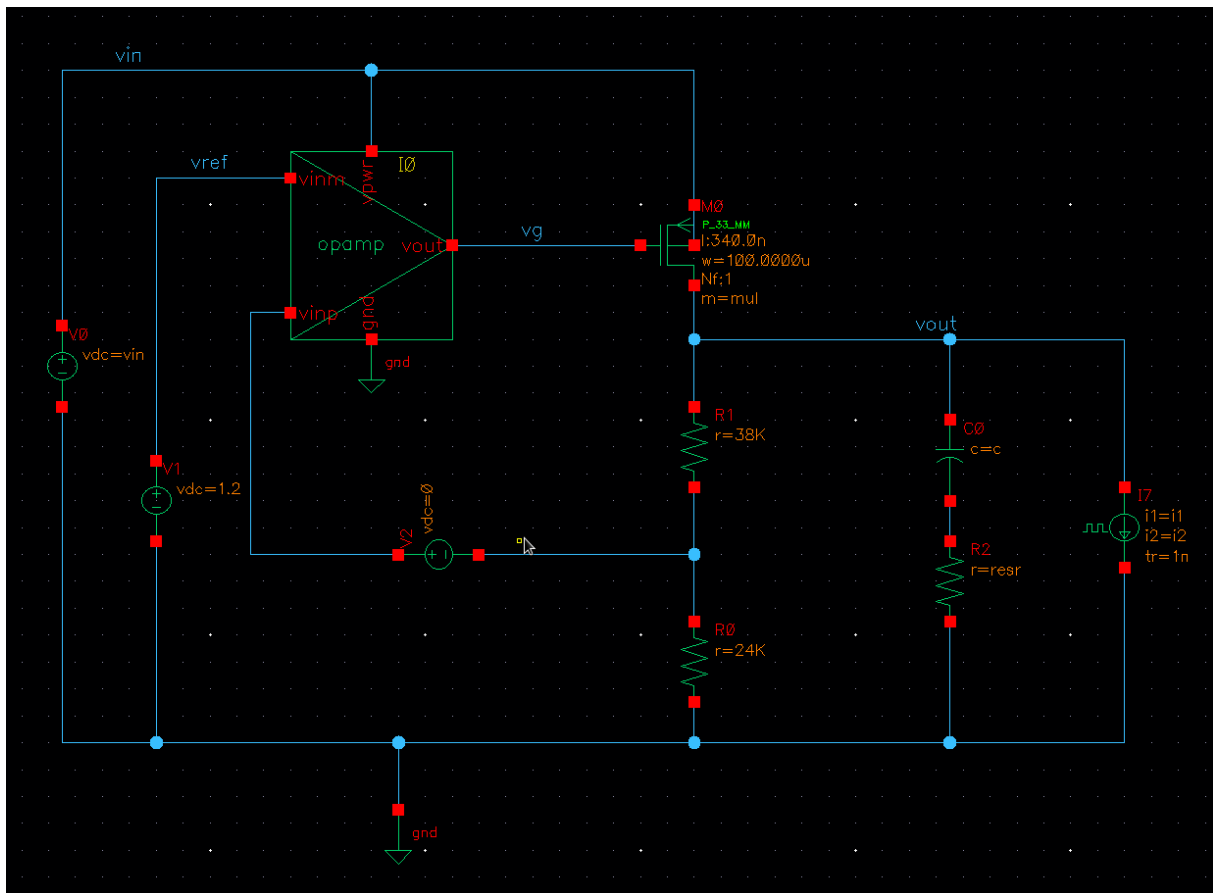


Abbildung 22 Schaltung der Transienten Analyse

Ein LDO sollte im Idealfall seine Ausgangsspannung V_{out} auch bei schnellen Laständerungen halten. In der Realität ist die Ausgangsspannung V_{out} eines LDOs jedoch leichten Schwankungen unterworfen, da sie nicht sofort auf einen schnellen transienten Wechsel reagieren kann.

Es gibt eine gewisse Zeitverzögerung aufgrund der begrenzten Bandbreite des LDOs. Im Falle von Laständerungen bringt die negative Rückkopplungsschleife eines LDO seinen Ausgang V_{out} nach einer gewissen Verzögerungszeit wieder auf die stationäre Spannung zurück.

Die Transienten Analyse prüft die Stabilität und die Schnelligkeit des Reglers. In Abbildung 23 ist es zu sehen, dass der Regler eine schnelle Reaktionszeit für das Lastwechsel hat. Die Ausgangsspannung schwankt nur zwischen $3,092\text{V}$ beim maximalem Strom und $3,12\text{V}$ beim minimalem Strom. Wie in den vorherigen Kapiteln gesehen, ist diese Schwankung sehr niedrig und hat keinen Einfluss auf die Funktion des Reglers.

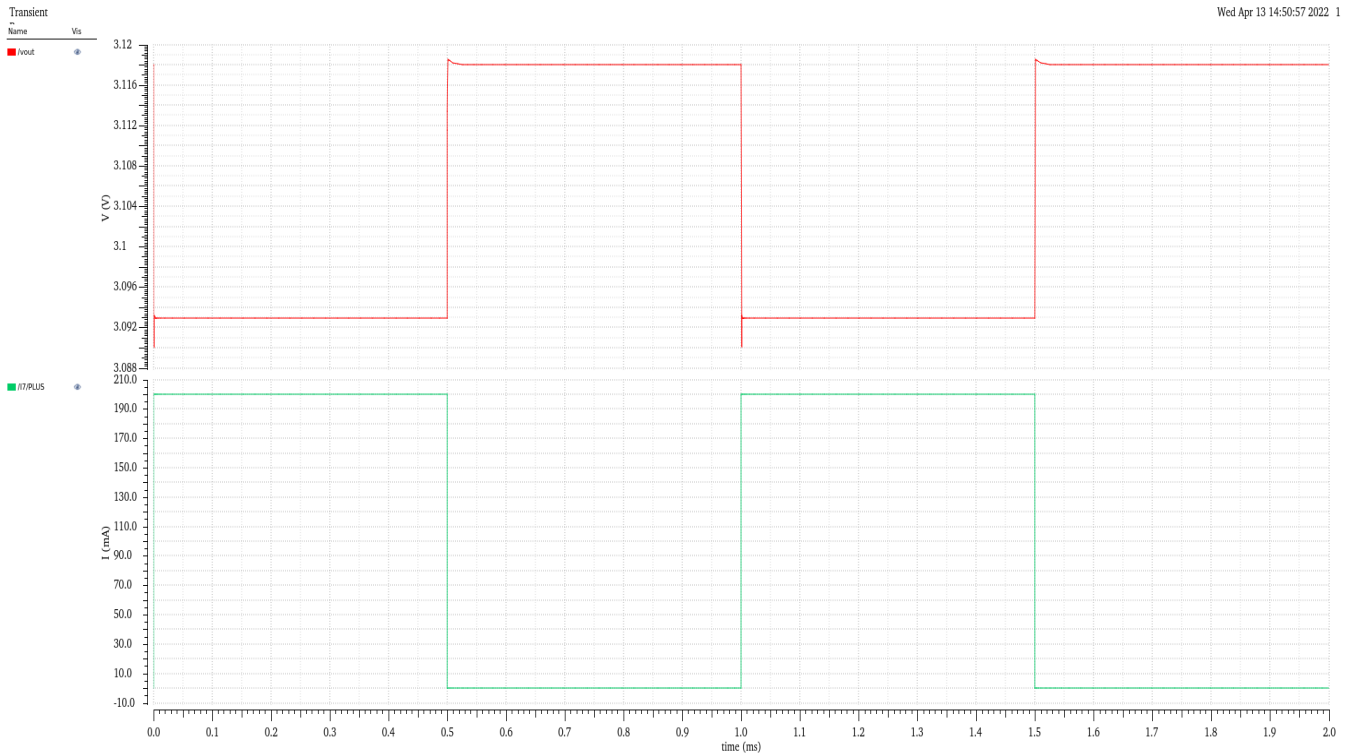


Abbildung 23 Verhalten der Ausgangsspannung beim sprunghaftem Laststromwechsel

Nachdem nun der LDO vollständig aufgebaut und die Parameter des Operationsverstärkers ermittelt worden sind, kann man in den nächsten Schritten das Verilog-A Modells des Verstärkers durch reale Verstärkerschaltung in Transistorschaltungstechnik ersetzen. Die Verstärkerschaltung sollte dabei unbedingt die gleichen Parametern wie das Modell besitzen.

6. Entwurf der Verstärkerschaltung

Abbildung 24 zeigt den klassischen Aufbau eines zweistufigen OTAs in CMOS-Technologie. Der OTA wird mit $+V_{dd}$ versorgt und mit einem externen Bias-Strom I_{bias} betrieben. Die erste Stufe entspricht der n-Kanal Differenzeingangsstufe, die aus den Eingangstransistoren M1 und M2 und dem p-Kanal-Stromspiegel M3 und M4. Die Spannungsdifferenz zwischen dem invertierenden und nicht invertierenden Eingang wird zu einem proportionalen Ausgangsstrom umgewandelt.

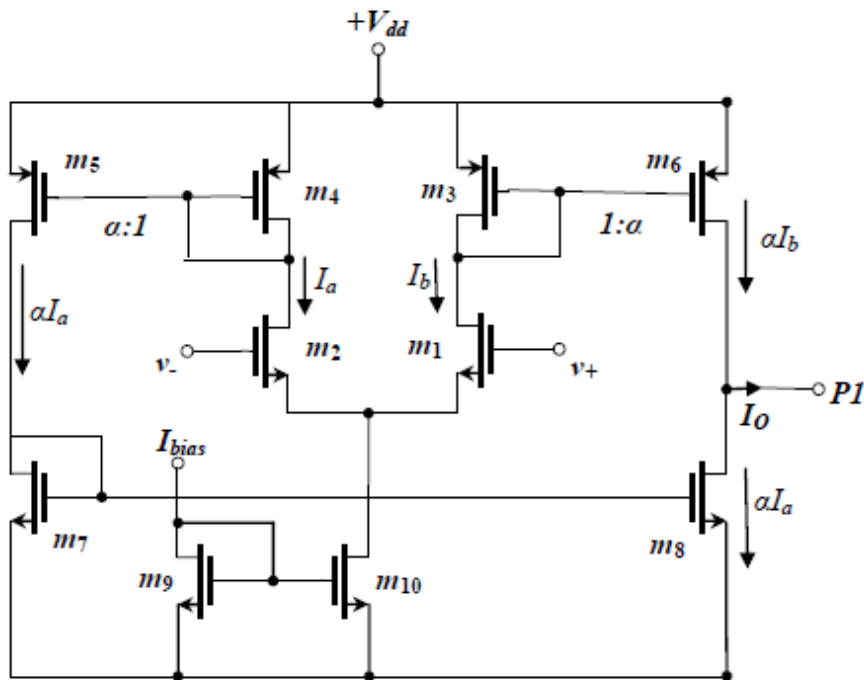


Abbildung 24 Aufbau des OTA

Die Drain-Ströme durch die Transistoren m1 und m2 werden über die Gate-Drain verbundene Transistoren auf die Transistoren m6 und m5 gespiegelt, welche die zweiten Verstärkungsstufe als Common-Source Schaltung darstellt. Durch die Wahl der Stromspiegelfaktoren Alpha der Stromspiegel m4/m5 und m3/m6 wird der Stromfluss im Ausgangszweig des Verstärkers und damit auch der Ausgangsstrom vergrößert. P1 ist dabei der einzige Ausgang des OTA.

6.1 CMOS-Verstärker

Die Grundstruktur eines CMOS-Verstärkers besteht aus einem differentiellen Transistoreingangspärchen, welches entweder aus einem p-Kanal oder aus einem n-Kanal Transistoren bestehen, die in einer gemeinsamen Common-Source-Konfiguration angeschlossen sind. Die Eingänge liegen an den Gates der Transistoren an, und der Ausgang wird als differentielles Stromsignal an den Drains der Transistoren entnommen. Dieser Strom wird oft durch Gate-Drain verbundene Transistoren in Spannungen gewandelt und in folgenden Stufen als differentielles oder massebezogenes Signal weiter verstärkt. CMOS-Verstärker können mit einer Vielzahl von Techniken für bestimmte Anwendungen entwickelt und optimiert werden.

Die Entwicklung eines CMOS-Verstärkers für analoge Anwendungen kann jedoch aufgrund einer Reihe von Faktoren wie Prozessschwankungen, Temperatureffekten und parasitären Kapazitäten eine Herausforderung darstellen. Diese Effekte können die Leistung des Verstärkers beeinträchtigen und müssen bei der Entwicklung sorgfältig berücksichtigt und kompensiert werden.

6.1.1 Common-Source Verstärker

Ein Common-Source Verstärker besteht im Prinzip aus einem Eingangstransistor, bei dem es sich sowohl um einen NMOS als auch um einen PMOS handeln kann, und einem Lastwiderstand. Der Ausgang ist am Drain des Transistors verbunden, und die Eingangs- und Ausgangsspannungen sind relativ zur Masse definiert.

Abbildung 25 zeigt eine vereinfachte Common-Source Schaltung mit NMOS Eingangstransistor. Wenn die Eingangsspannung des Verstärkers U_{gs} steigt, fließt ein größerer Strom durch den NMOS. Da der NMOS-Transistor in Reihe mit dem Widerstand geschaltet ist, fließt größere Strom auch durch den Widerstand.

In Folge ergibt sich auch ein größerer Spannungsabfall am Widerstand, welcher von der Versorgungsspannung abgezogen wird. Durch den erhöhten Stromfluss wird die Ausgangsspannung kleiner. Der Verstärker hat demzufolge eine invertierende Wirkung.

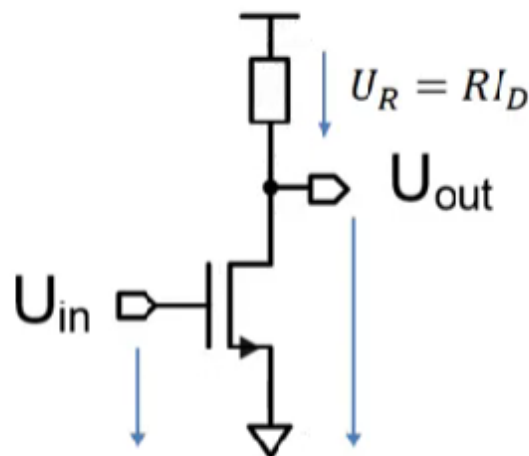


Abbildung 25 Common Source Schaltung mit Widerstand [10]

$$U_{out} = V_{dd} - R * I_D \quad (14)$$

Es gibt mehrere Alternativen, um eine Common-Source Schaltung zu realisieren. Beispielsweise kann der Widerstand durch einen PMOS-Transistor ersetzt werden, wie in Abbildung 26 gezeigt ist. Um die höchste Verstärkung zu bekommen, muss der Arbeitspunkt bzw. die Gate-Source Spannung des PMOS-Transistors durch eine Bias-Schaltung fest eingestellt werden. Wird die Gate-Source Spannung konstant gewählt, dann kann sich eine Stromänderung durch den Transistor nur eine entsprechende Änderung der Source-Drain Spannung einstellen.

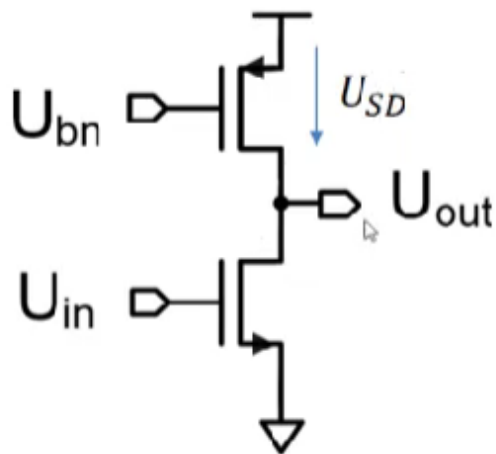


Abbildung 26 Common-Source Schaltung mit Bias PMOS[10]

Wie die Abbildung 26 zeigt, berechnet sich die Ausgangsspannung durch:

$$U_{out} = V_{dd} - U_{sd} \quad (15)$$

Steigt die Eingangsspannung, fließt ein größerer Strom durch den NMOS. Dieser Strom kann durch den PMOS nur bei höherer Source-Drain Spannung fließen. Steigt die Source-Drain Spannung, fällt ein größerer Teil der Versorgungsspannung über den PMOS ab und die Ausgangsspannung sinkt.

Zunächst wird mithilfe einer Kleinsignalanalyse der Verstärkungsfaktor ermittelt.

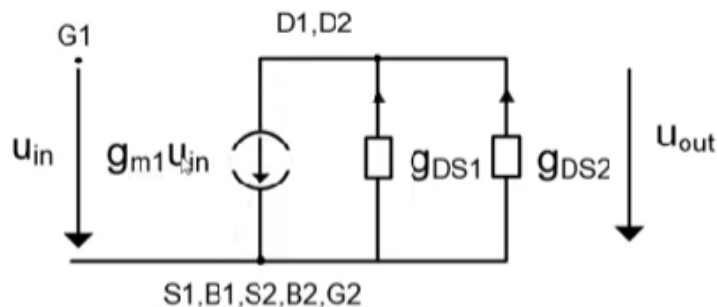


Abbildung 27 Kleinsignal Ersatzschaltbild der Common-Source Schaltung[10]

Durch das Kleinsignalerersatzschaltbild kann man die Übertragungsfunktion des Verstärkers bestimmen.

$$A = \frac{U_{out}}{U_{in}} \quad (16)$$

Die Ausgangsspannung berechnet sich mithilfe der Kleinsignalanalyse zu:

$$U_{out} = -\frac{gm_1 U_{in}}{g_{ds1} + g_{ds2}} \quad (17)$$

Durch Einsatz der Gleichung (17) in (16) es ergibt sich

$$A = -\frac{gm_1}{g_{ds1} + g_{ds2}} = -gm_1 \cdot R_{out} \quad (18)$$

g_{ds1} und g_{ds2} bezeichnet dabei die Ausgangsleitwerte des NMOS und PMOS-Transistors und gm_1 entspricht der Steilheit des NMOS-Transistors.

Der Ausgangswiderstand R_{out} ergibt sich dann durch

$$R_{out} = r_{ds1} \parallel r_{ds2} \quad (19)$$

Mit r_{ds1} als die Ausgangswiderstand des NMOS und r_{ds2} dem Ausgangswiderstand des PMOS.

Dementsprechend ist der Verstärkerfaktor abhängig von dem Ausgangswiderstand der beiden Transistoren und der Steilheit des Eingangstransistors.

6.1.2 Source Follower

Der Source Follower ist eine Schaltung, bei welcher der Ausgangswiderstand geringer ist als der Eingangswiderstand. Er besteht aus 2 NMOS oder 2 PMOS-Transistoren. Der Ausgang des Source Followers „folgt“ dem Eingangssignal. Wenn sich das Eingangssignal verändert, verändert sich der Ausgang um den gleichen Betrag.

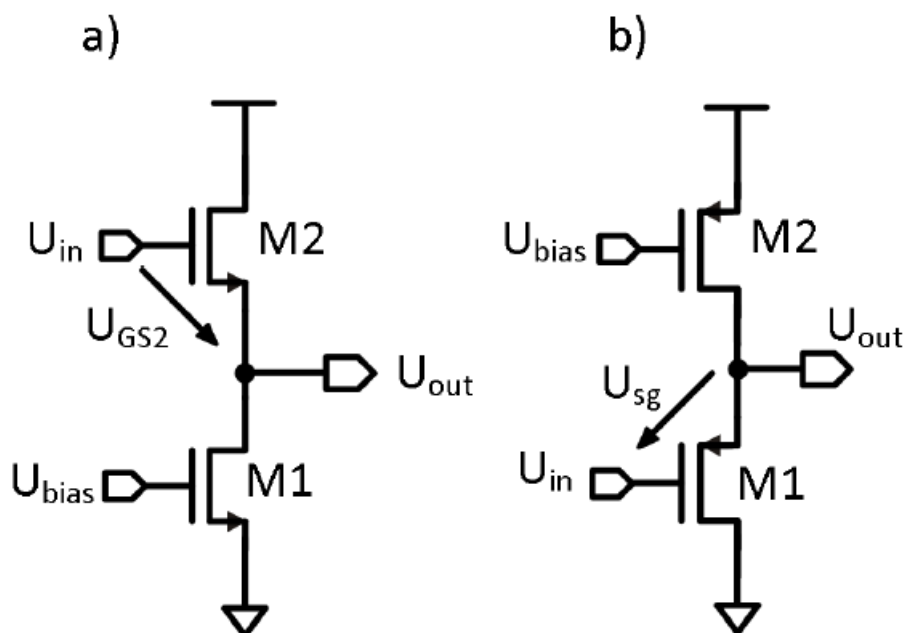


Abbildung 28 a) Source Follower mit NMOS b) Source Follower mit PMOS [11]

Der wesentliche Vorteil der Source-Follower Schaltung ist ihre hohe Eingangsimpedanz, die es ihr ermöglicht, mit hochohmigen Signalquellen zu arbeiten, ohne diese zu belasten. Die Ausgangsimpedanz ist relativ niedrig, so dass sie für den Betrieb von Lasten mit niedriger Impedanz geeignet ist.

Der PMOS-Source-Follower und der NMOS-Source-Follower haben ähnliche Eigenschaften, jedoch mit entgegengesetzter Polarität. Der PMOS-Source-Follower liefert eine Ausgangsspannung, welche um eine Source-Gate Spannung höher als die Eingangsspannung liegt, während der NMOS-Source-Follower eine niedrige Ausgangsspannung liefert, welche um eine Gate-Source Spannung höher als die Eingangsspannung ist.

Aus der Abbildung 28.a ergibt sich die Eingangsspannung aus der Masche:

$$U_{in} = U_{out} + U_{gs2} \quad (20)$$

Nach Umformung ergibt sich:

$$U_{GS2} = U_{in} - U_{out} \quad (21)$$

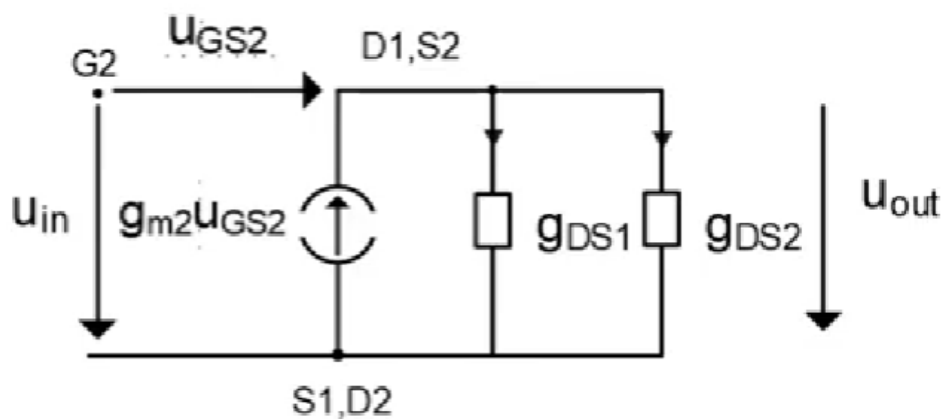


Abbildung 29 Kleinsignalanalyse des Source-Followers [11]

Zunächst wird der Verstärkerfaktor ermittelt durch den Kleinsignalersatzbild.

$$A = \frac{U_{out}}{U_{in}} = \frac{g_{m2}}{g_{m2} + g_{ds1}} \approx 1 \text{ mit } g_{ds1} \ll g_{m2} \quad (22)$$

Der Ausgangswiderstand berechnet sich wie folgt:

$$R_{out} = \frac{1}{g_{m2}} \parallel r_{ds1} \approx \frac{1}{g_{m2}} \text{ mit } r_{ds1} \gg g_{m2} \quad (23)$$

Neben der hohen Eingangsimpedanz des Source-Folger-Konfiguration ist die niedrige Ausgangsimpedanz ebenfalls von großem Vorteil. Die hohe Eingangsimpedanz ist auf das Gate des NMOS-Transistors zurückzuführen, das praktisch einen offenen Stromkreis darstellt. Die

niedrige Ausgangsimpedanz ist auf den geringen Widerstand zurückzuführen, der sich am Source-Anschluss eines NMOS-Transistors einstellt, wenn dieser vollständig eingeschaltet ist.

Eine Einschränkung des NMOS Source Followers besteht jedoch darin, dass das Ausgangssignal durch den Spannungsabfall über dem NMOS-Transistor typischerweise etwa 0,5 bis 1 Volt reduziert wird. Der NMOS-Source-Folger kann durch einen P-Kanal-MOSFET (PMOS)-Source-Folger ersetzt werden, um die gleiche Buffer Funktion bei einem Spannungsabfall zwischen Eingang und Ausgang mit umgekehrter Polarität zu erreichen.

Aus der Abbildung 28.b ergibt sich die Eingangsspannung aus der Masche zu:

$$U_{in} = U_{out} - U_{sg} \quad (24)$$

Nach Umformung ergibt sich:

$$U_{sg} = U_{out} - U_{in} \quad (25)$$

Mithilfe der Kleinsignalanalyse lässt sich die Verstärkung bestimmen zu:

$$A = \frac{U_{out}}{U_{in}} = \frac{gm_1}{g_{ds2} + gm_1} \approx 1 \quad (26)$$

Die Ausgangswiderstand lässt sich dann berechnen mit der folgenden Gleichung:

$$R_{out} = \frac{1}{gm_1} \parallel r_{ds2} \approx \frac{1}{gm_1} \quad (27)$$

gm_1 steht dabei für die Steilheit von Transistor M1 und g_{ds2} und r_{ds2} ist der Leitwert bzw. der Ausgangswiderstand von Transistor M2.

In mehrstufigen Verstärkern wird der Source Follower aufgrund seiner niedrigen Ausgangsimpedanz oft als Ausgangsstufe verwendet. Im Kontext dieser Arbeit soll der Source-Follower angewendet werden, um die niedrige Ausgangsimpedanz zur Stabilisierung des Spannungsreglers zu nutzen.

6.1.3 Stromspiegelung

Ein Stromspiegel ist eine Schaltung, die dazu dient, den Strom, der in einem Zweig der Schaltung fließt, in einem anderen Zweig zu replizieren oder zu spiegeln.

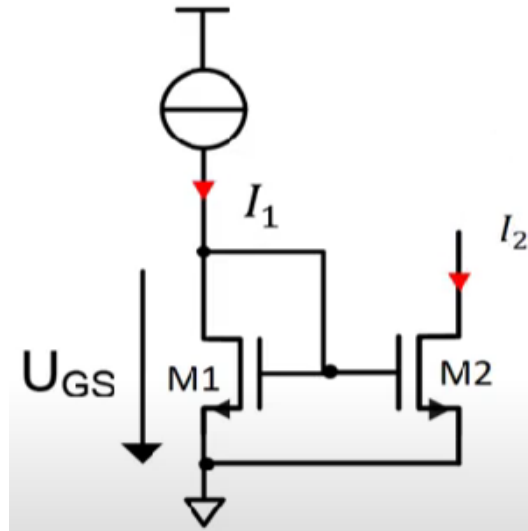


Abbildung 30 Grundaufbau eines Stromspiegels [12]

Die Grundstruktur eines CMOS-Stromspiegels besteht aus einem Referenztransistor, bei dem der Drain mit dem Gate verbunden ist, einem Spiegeltransistor und einer Referenzstromquelle.

Beim Stromspiegel sind die Gates von beiden NMOS-Transistoren miteinander verbunden, und die Source-Anschlüsse beider Transistoren sind an Masse angeschlossen. Bei dieser Struktur ist es zu beachten, dass aufgrund der gewählten Verschaltung, die Gate-Source Spannungen beider Transistoren identisch sind.

Daraus kann man den Strom I_2 in Abhängigkeit von I_1 definieren. Angenommen beide NMOS Transistoren besitzen eine identische Geometrie und werden in Sättigung betrieben, kann die folgende Gleichung für den Strom durch den Transistor M2 angenommen werden, bei Vernachlässigung der Kanallängenmodulation des Transistors.

$$I_2 = \frac{1}{2} \mu C_{ox} \frac{W_2}{L_2} (U_{gs2} - U_{th})^2 \quad (28)$$

Nach der Gate-Source Spannung U_{gs1} des Transistor M1 aufgelöst ergibt sich für U_{gs1} und damit auch U_{gs2} der folgende Ausdruck:

$$U_{gs2} = U_{gs1} = \sqrt{\frac{2 I_1}{\mu C_{ox} \frac{W_1}{L_1}}} + U_{th} \quad (29)$$

Durch Einsatz der Gleichung (29) in Gleichung (28) ergibt sich unter der Annahme, dass die Schwellenspannung beider Transistoren M1 und M2 identisch ist:

$$I_2 = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}} I_1 \quad (30)$$

Aus dieser Gleichung kann man feststellen, dass bei Transistoren mit identischer Geometrie der gleiche Strom fließt. In Stromspiegel werden meist Transistoren mit identischer Kanallänge verwendet. Das bedeutet, dass das Verhältnis des Stroms I_2 zum Strom I_1 nur von dem Verhältnis der Breite von Transistor M2 zur Breite von Transistor M1 abhängt. Das kann man nutzen, um den Strom zu skalieren. Das ermöglicht beispielsweise, die Verlustleistung von arbeitspunkteinstellenden Schaltungen zu minimieren, indem ein Einsatz einer niedrigen Referenzstrom im Referenzweig verwendet wird, der im Spiegeltransistor hochskaliert wird.

Für eine bessere Skalierung müssen die NMOS-Transistoren eine möglichst gleiche Schwellenspannung aufweisen. Da die Breite des Transistors einen gewissen Einfluss auf die Schwellenspannung hat, wird die Breite dadurch vergrößert, Transistoren identischer Breite parallelgeschaltet werden.

6.2 Dimensionierung der Verstärkerschaltung

Die Verstärkerschaltung wird entsprechend der benötigten Parameter aufgebaut werden. Als erster Schritt werden alle benötigten Bauteile in einem Schematic mit Hilfe der Cadence Virtuoso Software platziert und miteinander verbunden.

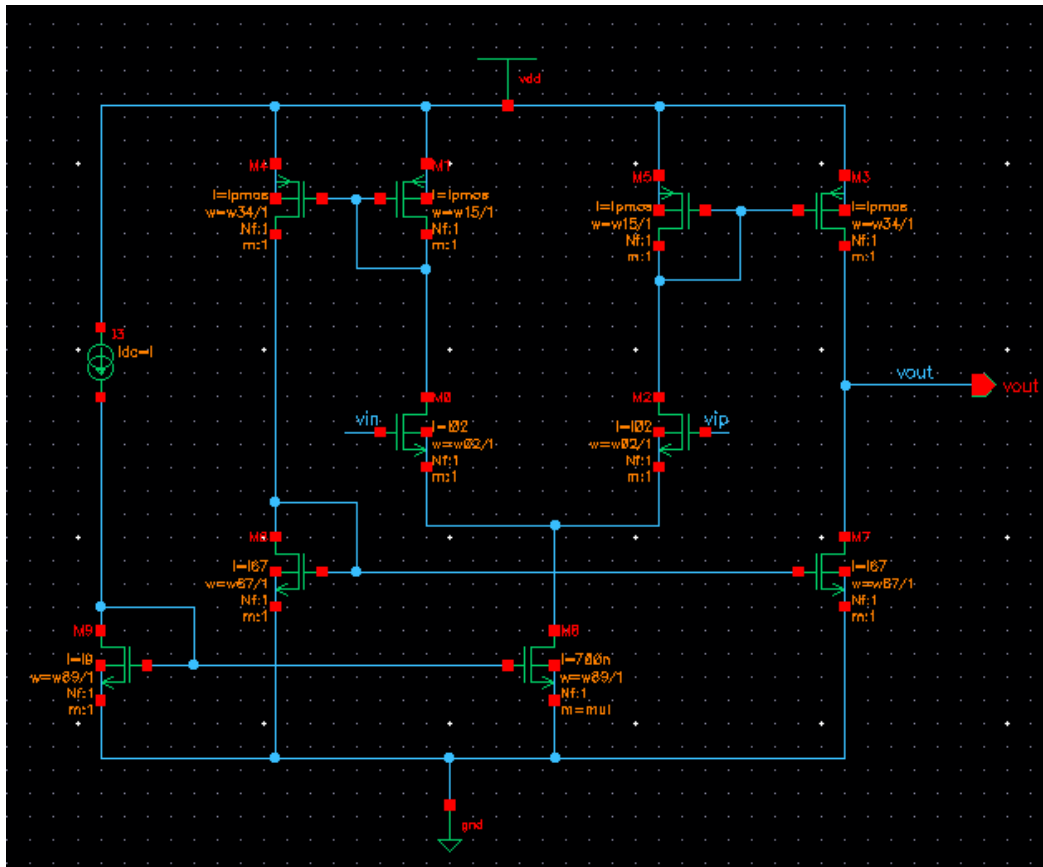


Abbildung 31 Entwurf der OTA-Schaltung

Anschließend werden die Arbeitspunkt aller MOSFETs so eingestellt, dass sie sich im Sättigungsbereich befinden. Die Gates des differentiellen Transistoreingangspärchen M0 und M2 werden mit der Referenzspannung bzw. mit der Rückkopplungsschleife des LDOs verbunden. Bei der Dimensionierung wird zunächst die Referenzspannung von 1.2 V an beide Gates angelegt. I3 ist eine Referenzstromquelle, welche einen Strom von 5 μ A liefert, der durch die Stromspiegel je nach Bedarf skaliert wird.

Da im konkreten Anwendungsfall nur eine geringe Verstärkung benötigt wird, ist es für die Dimensionierung des Operationsverstärkers vorteilhaft zunächst die minimale Länge für aller MOSFETs auszuwählen, um niedrige Ausgangswiderstände zu erhalten. Außerdem muss bei allen Transistoren, welche Stromspiegel bilden, darauf geachtet werden, dass die Geometrie identisch ist. Das betrifft insbesondere die Stromspiegel M1 zu M4, M5 zu M3, M6 zu M7 und M9 zu M8. Durch den Transistor M9 wird der Strom des Operationsverstärkers eingespeist und auf den Transistor M8 gespiegelt. Der Transistor M9 hat die Aufgabe, einen konstanten und möglichst rauschfreien Strom zu erzeugen. Für diesen Zweck ist es hilfreich, die Sättigungsspannung der Transistoren M9 und M8 höher als bei anderen Transistoren zu wählen. Der Hintergrund ist, dass Transistoren mit hohen Sättigungsspannungen im

Strombereich weniger stark rauschen als Transistoren mit niedrigen Sättigungsspannungen. Außerdem können sich die Schwellenspannungen einzelner Transistoren, die auf einem Chip platziert werden, unterschiedlich ausfallen. Je höher die Sättigungsspannung ist, desto weniger stark fallen die Variationen der Schwellenspannungen ins Gewicht. Dementsprechend wurden die Transistoren M9 und M8 so dimensioniert, dass sich eine Sättigungsspannung von 300 mV einstellt. Der Strom wird durch den Multiplikator Wert skaliert, um die Geometrie der Einzeltransistoren identisch zu belassen. Dieser Strom fließt von Transistor M8 zu den Eingangstransistoren M0 und M2. Der invertierende bzw. nichtinvertierende Eingang des Verstärkers können auf Grund ihrer Wirkung auf das Ausgangssignal identifiziert werden. Ein Anstieg des Potentials am nicht invertierenden Eingang führt auch zu einem Anstieg des Ausgangssignals. Wenn das Potential am invertierenden Eingang steigt, fällt das Ausgangssignal. In dieser Schaltung entspricht das Gate des Transistors M0 dem invertierenden und das Gate des Transistors M2 dem nichtinvertierenden Eingang. Diese Transistoren werden so eingestellt, dass die Sättigungsspannung 75 mV beträgt, was dem Operationsbereich der schwachen Inversion entspricht. In schwacher Inversion liefern kleine Änderung der Gate Source Spannung große exponentielle Änderung des Transistorkanalstromes. Dies entspricht einer großen Steilheit des Transistors. Die Transistorsteilheit sagt aus, wie stark sich der Strom im Arbeitspunkt ändert, wenn sich die Gate-Source Spannung verändert. Große Transistorsteilheiten können in starker Inversion durch die Wahl einer kleinen Sättigungsspannung erreicht werden. Die Steilheit erreicht den größtmöglichen Wert bei gegebenem Transistorkanalstrom im Bereich der schwachen Inversion. Alle übrigen Transistoren werden so eingestellt, dass die Sättigungsspannung 200 mV beträgt, was einen guten Kompromiss zwischen Rauschen, Genauigkeit und Steilheit darstellt.

Nachdem die Verstärkerschaltung entsprechend der oben genannten Kriterien dimensioniert worden ist, muss man als Nächstes überprüfen, ob sie den für die Anwendung zuvor ermittelten Verstärkerfaktor und den passenden Ausgangswiderstand besitzt.

6.2.1 Verstärkungsfaktor

Der Verstärkungsfaktor kann sowohl rechnerisch als auch durch AC-Simulation bestimmt werden. Die gesamte Verstärkung lässt sich aus dem Produkt der Verstärkung der differentiellen Stufe mit der Verstärkung der Common-Source Stufe berechnen.

Sei A1 die Verstärkung des differenzialen Verstärkers und A2 die Verstärkung der Common-Source Schaltung, so haben sich die folgenden Werte ergeben:

$$A1 = \frac{gm2}{gds2 + gds5} = 22.4 \quad (31)$$

$$A2 = \frac{gm7}{gds7 + gds3} = 15.5 \quad (32)$$

Um die gesamte Verstärkung zu ermitteln, werden zuerst die Ergebnisse in eine Angabe in der Einheit Dezibel umgewandelt und anschließend addiert.

$$dB20(A1) = 20 * \log(22.4) = 27dB \quad (33)$$

$$dB20(A2) = 20 * \log(15.5) = 23,8dB \quad (34)$$

Die Gesamtverstärkung in Dezibel ergibt sich schließlich aus der Summe der Verstärkungsangaben in Dezibel der ersten und der zweiten Stufe zu:

$$dB20(A0) = dB20(A1) + dB20(A2) = 50,8dB \quad (35)$$

Daraus folgt eine Gesamtverstärkung A0 des Verstärkers von:

$$A0 = 10^{\frac{dB20(A0)}{20}} = 346,7 \quad (36)$$

Der erzielte Verstärkungsfaktor A0 ist größer als der gewünschte Verstärkungsfaktor von 150. Um dieser Faktor zu reduzieren, kann man die Ausgangswiderstände von M5 bzw. M3 reduzieren. Dies erfolgt im Allgemeinen durch Verkleinerung der Kanal Länge der Transistoren. Eine Alternative ist die Reduzierung der Steilheit von M2 bzw. M7. Die Steilheit gm kann durch die folgenden drei verschiedenen Ausdrücke berechnet werden, bei denen der Drain Strom, die Transistorgeometrie und die Sättigungsspannung die wichtigsten Faktoren sind.

$$gm = \mu Cox \frac{W}{L} (Ugs - Uth) \quad (37)$$

$$gm = \sqrt{2 \mu Cox \frac{W}{L} Id} \quad (38)$$

$$gm = \frac{2 Id}{Ugs - Uth} \quad (39)$$

Diese drei Gleichungen beinhalten immer zwei der drei Entwurfparameter, und der dritte Parameter stellt sich gemäß der Transistorgleichung ein. In diesem Fall wird die Sättigungsspannung als konstant betrachtet. Auf diesem Grund wird mit der Gleichung (39) gearbeitet. Dieser Gleichung kann entnommen werden, dass die Transistorsteilheit bei konstanter Sättigungsspannung linear mit dem Transistorstrom skaliert. Bei konstanter Sättigungsspannung kann der Transistorstrom aber nur erhöht oder reduziert werden, wenn die Transistorgeometrie entsprechend der Transistorkennlinie angepasst werden.

Nach der Dimensionierung der Parameter wurde die geforderte Verstärkung von 150 erreicht. Abbildung 32 zeigt das Ergebnis der AC-Simulation. Um die AC-Simulation durchzuführen, ist es erforderlich einen Eingangs- und einen Ausgangsnetz in Cadence auszuwählen. Für diesen Zweck wurde der nicht invertierende Eingang als Eingang und der Ausgang der Verstärkerschaltung (Vout) als Ausgangsnetz gewählt.

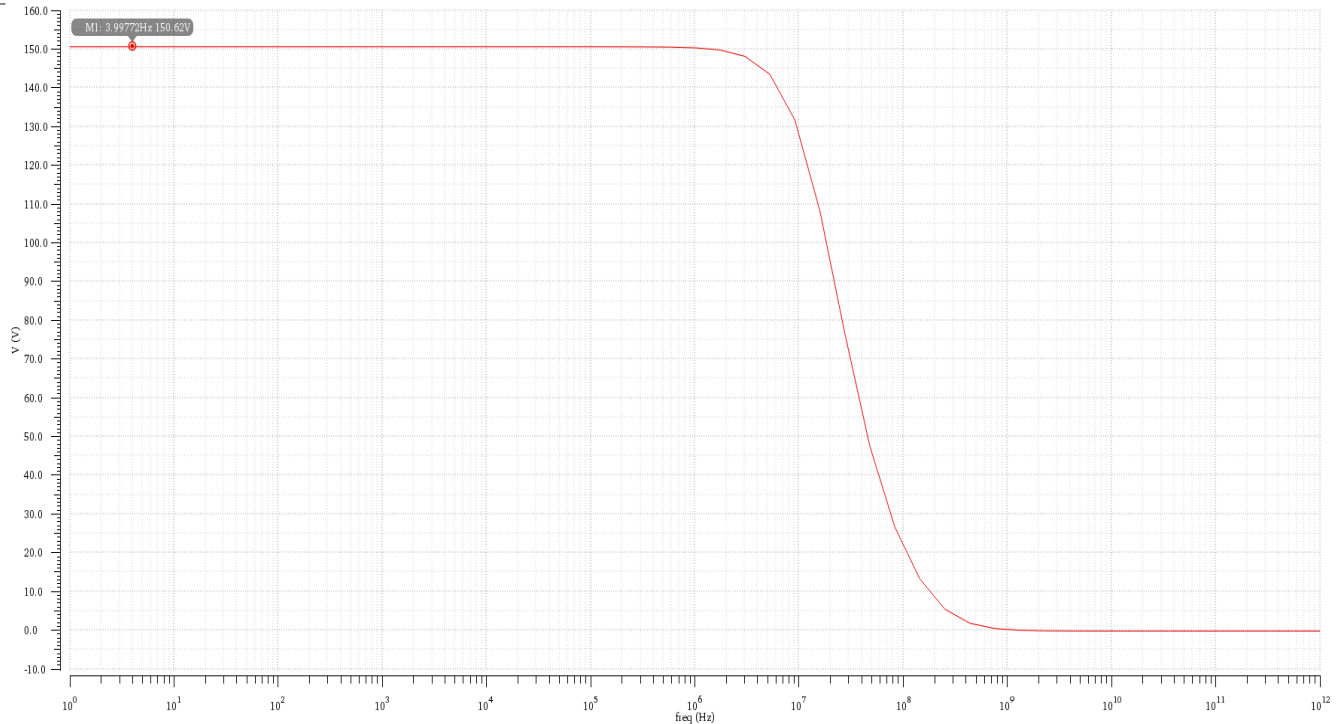


Abbildung 32 Verstärkung des OTAs

6.2.2 Ausgangswiderstand der Verstärkerschaltung:

Der Ausgangswiderstand des OTA entspricht dem Widerstand am Ausgang der Common-Source-Schaltung, die aus den Transistoren M3 und M7 besteht. Diese Verstärkerschaltung hat in der Regel eine hohe Ausgangsimpedanz.

Dieser Ausgangswiderstand berechnet sich aus der Parallelschaltung der beiden Ausgangswiderstände der MOSFETs M3 und M7.

Es ergibt sich:

$$R_{out} = r_{o3} \parallel r_{o7} = \frac{1}{g_{ds3} + g_{ds7}} = 110,5 \text{ k}\Omega \quad (40)$$

Infolgedessen ist die Ausgangswiderstand des Verstärkers höher als der zu erzielenden Ausgangswiderstand, was bedeutet, dass diese Verstärkerschaltung die gesuchten Kriterien nicht erfüllen kann. Um der Ausgangswiderstand zu minimieren, ohne die Verstärkung zu beeinflussen, ist es notwendig, dem Verstärker eine Buffer Stufe hinzuzufügen, um eine niedrige Ausgangsimpedanz zu erreichen.

Die Common-Drain- oder Source-Follower-Schaltung bietet eine sehr hohe Eingangsimpedanz und zeitgleich eine niedrige Ausgangsimpedanz bieten und wird auf Grund dessen oft als Buffer Stufe in Verstärkern eingesetzt. Wie schon in Abschnitt 6.1.2 beschrieben, folgt Der Ausgang des Source Followers dem Eingangssignal. Wenn sich das Eingangssignal verändert, verändert sich der Ausgang im selben Maße auch. Deshalb besitzt der Source Folger eine Verstärkung von ungefähr 1.

7. Entwurf der Verstärkerschaltung mit Source Follower Buffer

Da die Common-Source Schaltung einen zu hohen Ausgangswiderstand besitzt, wird der vorherige Verstärker ausgang mit einer Source Follower Buffer versehen. Der Ausgang der vorherigen Schaltung wird mit dem Gate des PMOS-Eingangstransistors (M16) der Source Follower Schaltung verbunden.

Die beiden PMOS-Transistoren der Source Follower Schaltung müssen so dimensioniert werden, dass sie im Sättigungsbereich betrieben werden und eine Sättigungsspannung von 200mV besitzen. Für dieses Ziel wurde ein Stromspiegel Transistor M3 zusammen mit dem Transistor M1 kombiniert, um dem Arbeitspunkt des oberen PMOS-Transistors festzulegen.

Die Abbildung 33 zeigt die Verstärkerschaltung mit Source Follower Buffer am Ausgang.

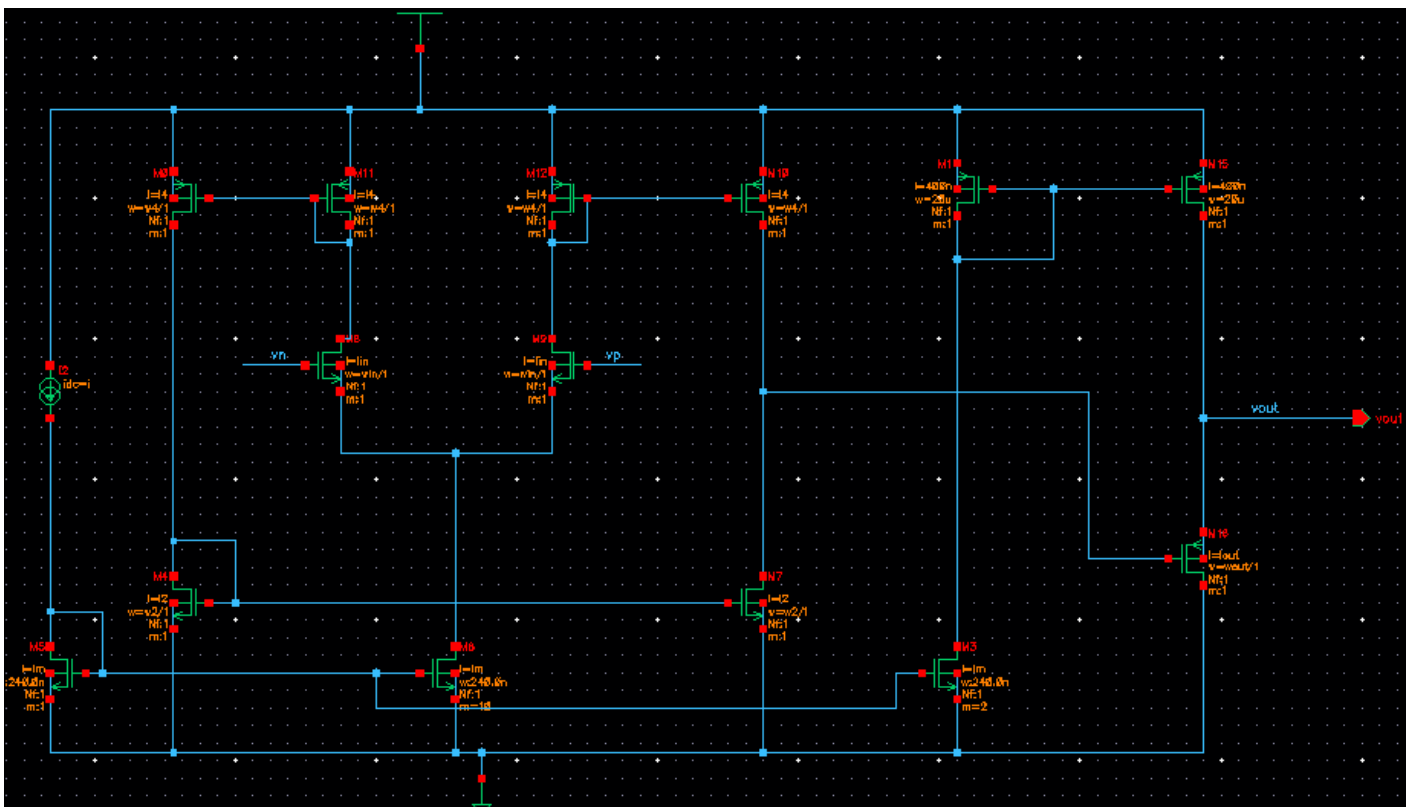


Abbildung 33 Verstärkerschaltung mit PMOS Source Follower Buffer

Im nächsten Schritt werden die Verstärkung und der Ausgangswiderstand dieser Schaltung überprüft und mit der gewünschten Werten verglichen und gegebenenfalls angepasst.

7.1 Verstärkung der aktualisierten Schaltung

Wie vorher schon beschrieben hat die Source-Follower Schaltung keinen Einfluss auf die Verstärkung, da sie einen Verstärkerfaktor von 1 besitzt.

Es ist erforderlich eine erneute AC-Analyse durchzuführen, um das verstärkte Ausgangssignal zu betrachten. Abbildung 34 zeigt das Ergebnis dieser Simulation.

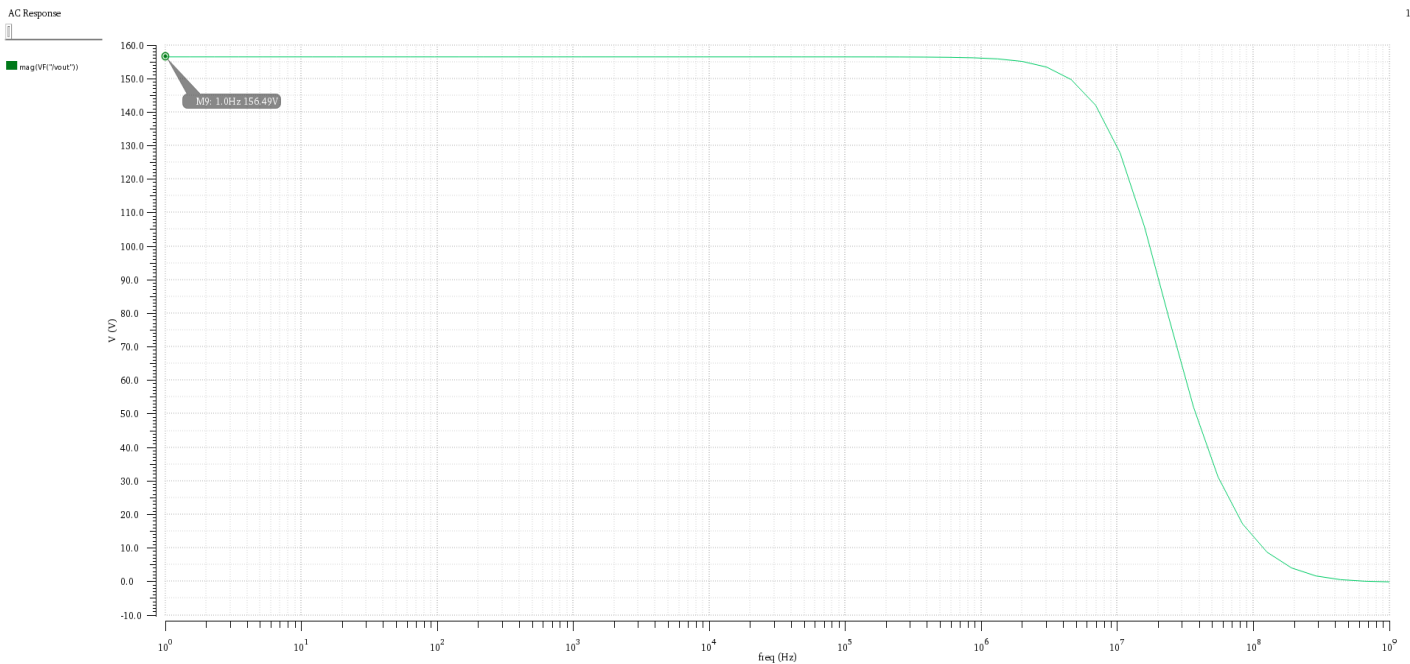


Abbildung 34 AC-Analyse der Verstärkerschaltung

Die Analyse hat ergeben, dass der Eingangssignal um den Faktor 156,49 verstärkt wird. Der Verstärker liefert Verstärkung von 150 bis zu einer Frequenz von 7MHz. Diese Frequenz wird als die -3dB Frequenz oder Grenzfrequenz des OpAmps bezeichnet. Die Grenzfrequenz ist kleiner als die Frequenz von 28MHz, welche mithilfe des Verilog-A Modells der Verstärker ermittelt wurde. Dies kann dazu führen, dass der LDO bei hohen Frequenzen nicht genug Verstärkung besitzt, um die Ausgangsspannung konstant zu halten. Eine Lösung dafür ist der Ausnutzung der Nullstelle, welche sich auf Grund des äquivalenten Serienwiderstandes R_{ESR} des Ausgangskondensators einstellt.

7.2 Ausgangswiderstand der Schaltung

Die Ausgangswiderstand des Verstärkers mit Source-Follower lässt sich durch die folgende Formel berechnen:

$$R_{out} = \frac{1}{g_{m,16}} = 6,74 \text{ k}\Omega \quad (41)$$

Mit $g_{m,16}$ ist die Steilheit des Transistors M16 und beträgt 0.148mS.

Die Ausgangswiderstand ist kleiner als der gewünschte Wert. Das ist aber akzeptabel, da nur wichtig ist, dass der Ausgangswiderstand den Wert von 8k Ω nicht überschreitet.

Nachdem die Arbeitspunkte der Transistoren richtig eingestellt worden sind, wurde ein Schaltsymbol erstellt. Der ideale Verstärker in der LDO-Schaltung wird durch dieses Symbol ersetzt, um die Leistungsmerkmale und die Stabilität der Schaltung zu betrachten.

7.3 Erstellen des Verstärkersymbols

Für die Verwendung des Verstärkers Schematic in einem hierarchischen Schaltungsentwurf müssen zunächst alle idealen Spannungs- und Stromquellen aus der Schaltung entfernt werden. Außerdem müssen die Eingangs- und Ausgangssignal sowie die Masse und die Versorgungsspannung durch Pins kenntlich gemacht werden. Diese Pins werden dann passend benannt, um anschließend in einem neuen Schematic die korrekten Verbindungen an den Pins des Verstärkersymbols etablieren zu können. Schließlich muss noch ein Schaltsymbol für die Verstärkerschaltung erstellt werden.

In Abbildung 35 ist das Schaltsymbol des Verstärkers zu sehen.

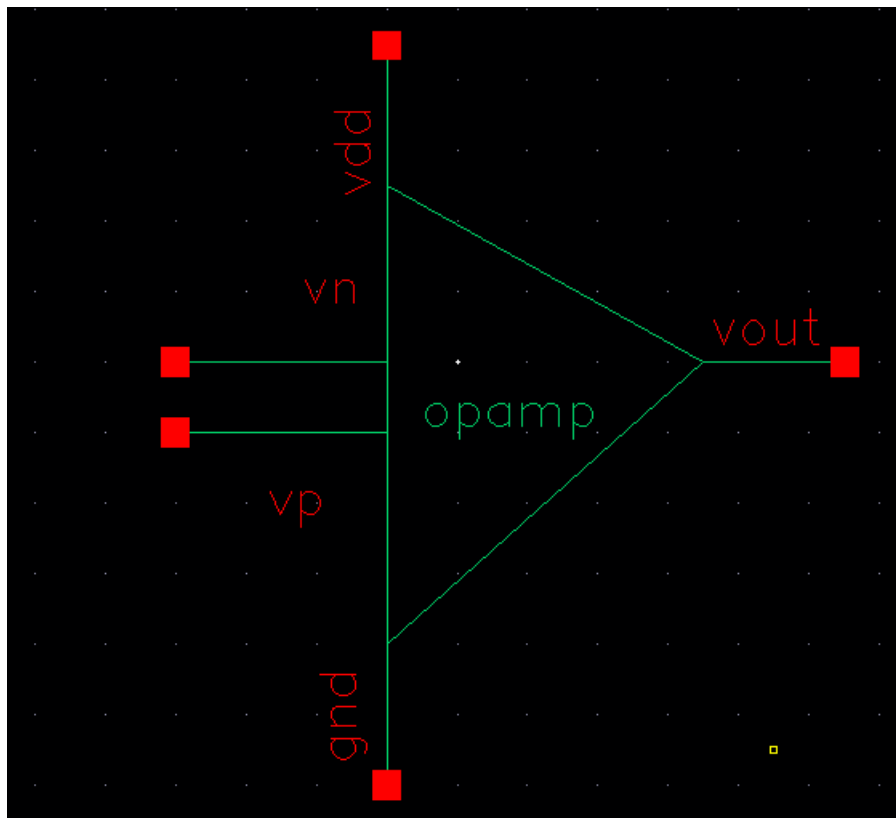


Abbildung 35 Symbol der Verstärkerschaltung

Vn und vp sind die Eingänge der Schaltung und beziehen sich auf den invertierenden und nicht invertierenden Eingängen des Verstärkers.

Vdd wird mit der Versorgungsspannung und gnd mit Masse verbunden.

Vout ist der Ausgang des Verstärkers und wird mit dem Gate des PMOS Pass-Devices des Reglers verbunden.

8.Integration des Verstärkers in die LDO-Schaltung

Nachdem der Verstärker fertig dimensioniert wurde, wird er in der LDO-Schaltung integriert, um zu prüfen, ob die Gesamtschaltung die gewünschten Kriterien erfüllt.

Die vollständige Schaltung ist in Abbildung 36 dargestellt.

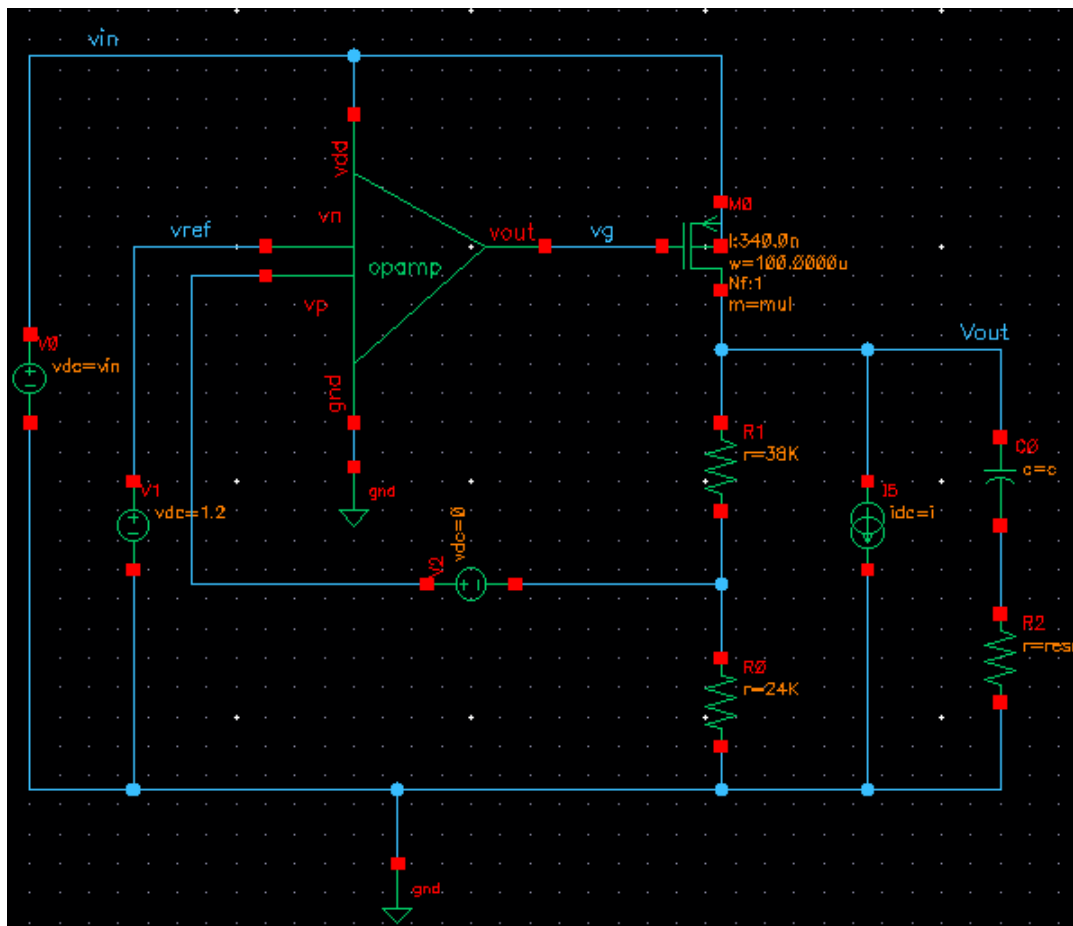


Abbildung 36 LDO-Schaltung nach Integration des Opamps

8.1 Load und Line Regulation

Bei der Simulation von der Ausgangsspannung bei Änderung des Laststroms, ist es zu erkennen, dass bei hoher Temperatur die Ausgangsspannung bis auf einen Wert von 3.06V sinkt, wie in Abbildung 37 zu sehen ist. Dieser Abstieg ist darauf zurückzuführen, dass der Transistor M7 (siehe Abb.33) nicht mehr im Sättigungsbereich betrieben wird, da die Drain-Source Spannung des Transistors kleiner als die Sättigungsspannung geworden ist. Um diese Spannung zu erhöhen, muss das Drain Potential angehoben werden. Da das Drain Potential von M7 dem Gate Potential von M16 folgt, kann diese Spannung erhöht werden, indem die Gate-Source Spannung des Eingangstransistors des Source-Folgers verringert wird. Eine Lösung dafür ist, den PMOS-Transistor M16 durch einen PMOS mit niedriger Schwellenspannung zu ersetzen, ohne dabei seine Geometrie zu ändern.

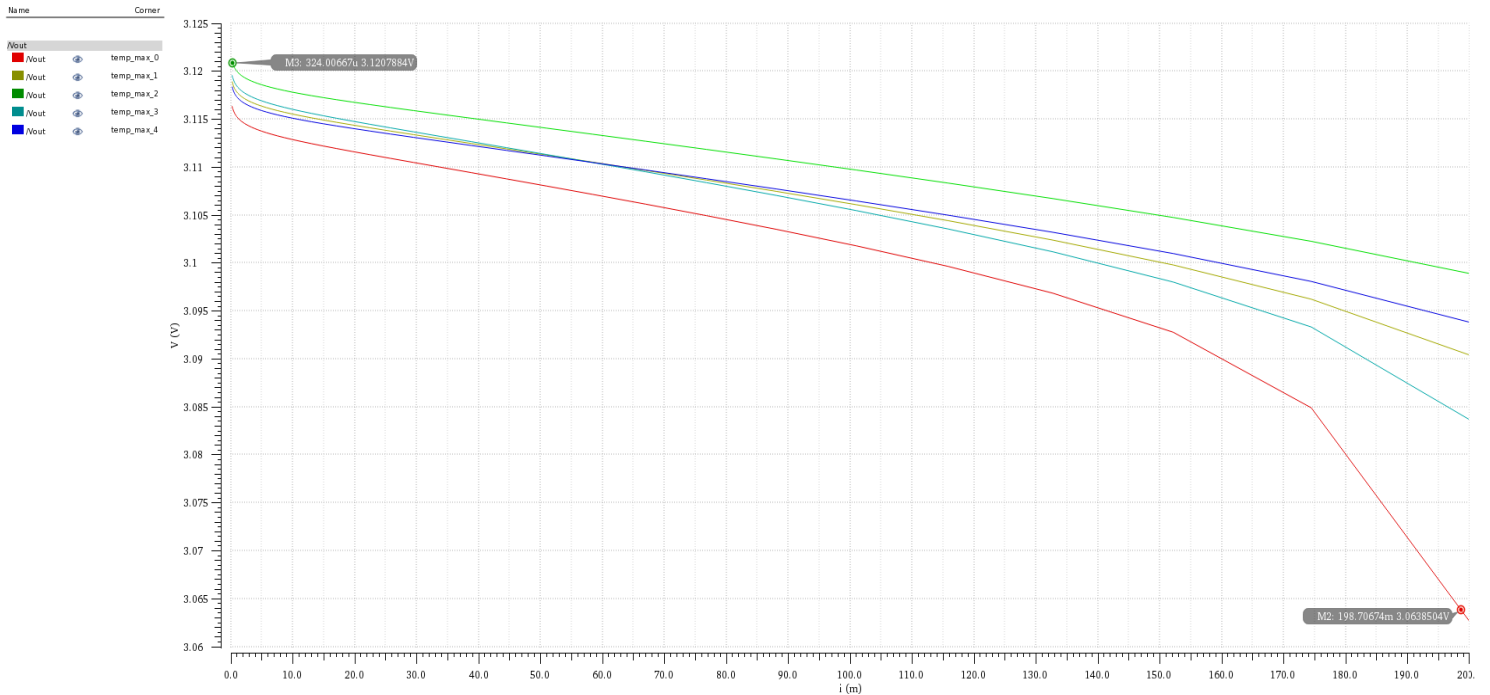


Abbildung 37 Load Regulation des LDOs

Nach Einsatz des PMOS-Transistors mit niedriger Schwellenspannung bleiben alle Transistoren in Sättigungsbereich. In den Abbildungen 38 und 39 ist es zu sehen, dass die Ausgangsspannung des Reglers die vorgesehenen Grenzen nicht überschreitet. Bei der Simulation der Load und Line Regulation werden hierbei alle Prozesscorner betrachtet.

Tabelle 1: Die simulierten Corner

Corner	NMOS	PMOS
tt	typical	typical
ss	slow	slow
ff	fast	fast
snfp	slow	fast
fnsp	fast	slow

Typical Corner repräsentiert die nominalen oder erwarteten Prozessparameter für die Halbleiterprozesstechnologie.

Bei der Slow Corner werden eine Reihe von Prozessparametern so gewählt, dass sie zu einer langsameren Schaltfunktion führen.

Bei der Fast Corner werden eine Reihe von Prozessparametern so gewählt, dass sie zu einer schnelleren Schaltfunktion führen.

Die Geschwindigkeit eines MOSFET wird durch seine Ein- und Ausschaltzeiten bestimmt, d. h. die Zeiten, die der Transistor benötigt, um vom vollständig ausgeschalteten Zustand in den vollständig eingeschalteten Zustand und umgekehrt zu wechseln.

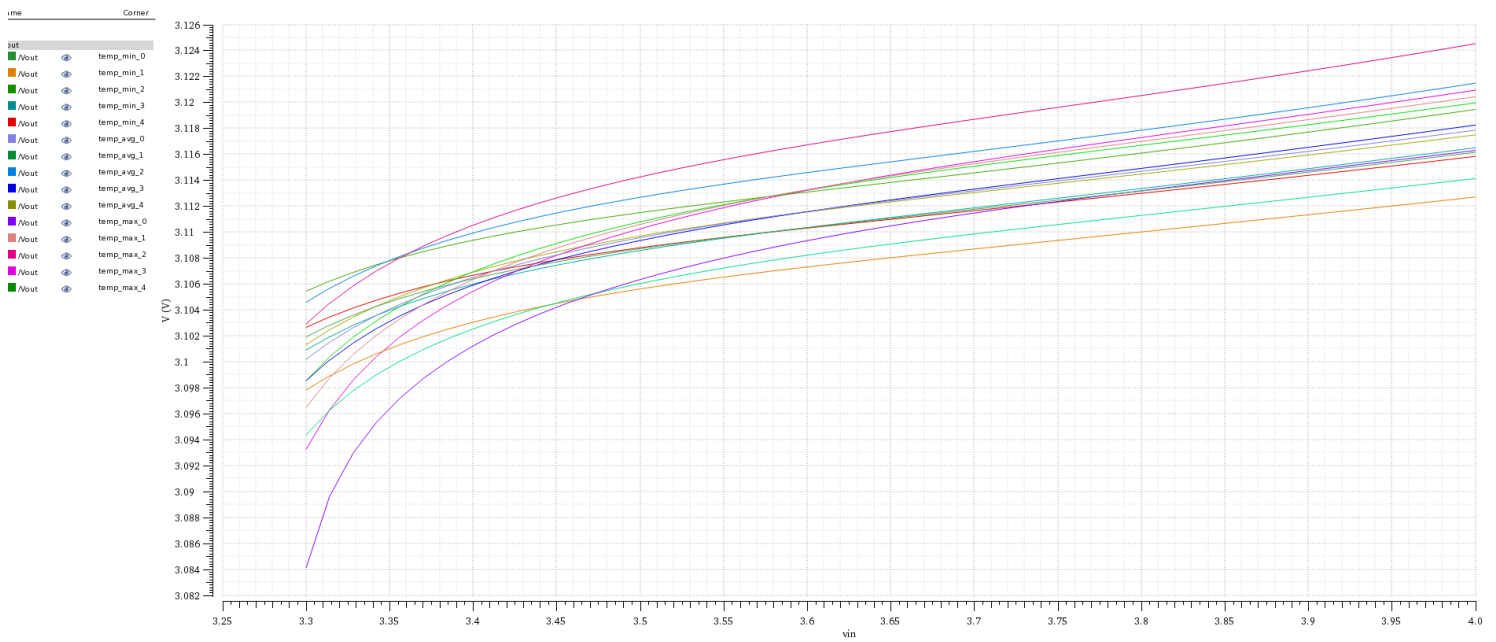


Abbildung 38 Line Regulation

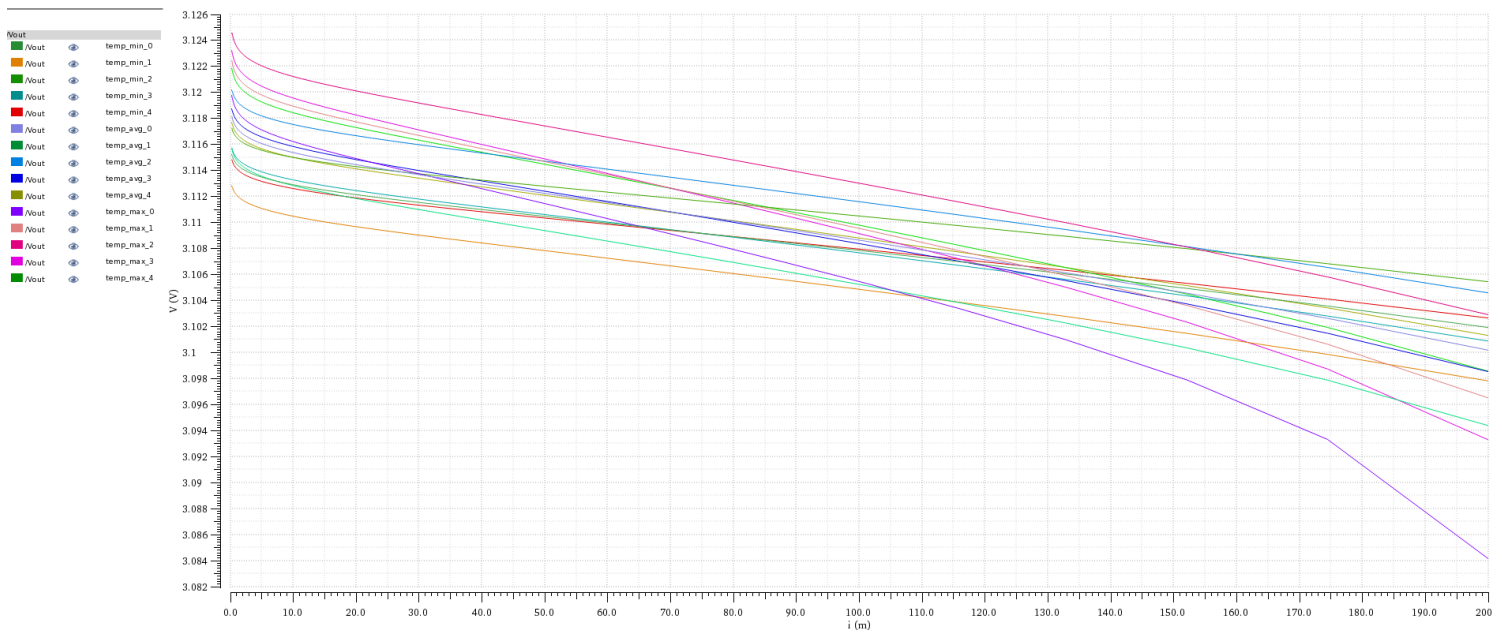


Abbildung 39 Load Regulation

8.2 Phasenreserve

Für einen stabilen Betrieb des LDOs muss die Phasenreserve des offenen Regelkreises über 60° bleiben. In Abbildung 40 ist eine Simulation der Phasenreserve in Abhängigkeit vom Strom dargestellt. Es ist zu sehen, dass bei extremen Cornern die Phasenreserve bis zu 35° sinkt. Dieser Abstieg ist nicht akzeptabel und führt dazu, dass der Regler nicht wie gewünscht funktionieren wird.

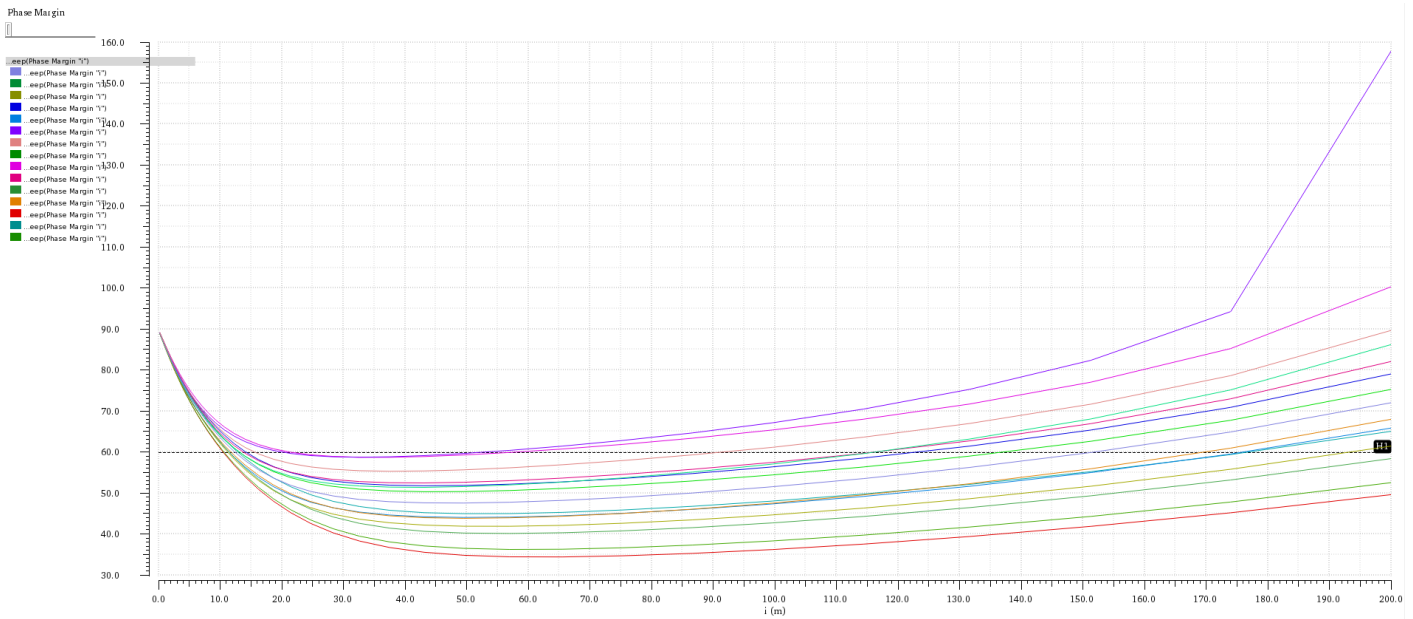


Abbildung 40 Phasenreserve des LDOs

Um diesen Abstieg zu kompensieren, ist es notwendig den richtigen Wert für den R_{ESR} (ESR, Equivalent Series Resistance) des Ausgangskondensators auszuwählen. R_{ESR} spielt eine wichtige Rolle bei der Stabilität der Leistungsfähigkeit des LDOs. Ein ESR von $1\ \Omega$ oder weniger wird empfohlen, um die Stabilität zu gewährleisten.

In Abbildung 41 wird die Phasenreserve in Abhängigkeit von R_{ESR} bei extremen Cornern simuliert, um den passenden ESR Wert festzustellen.

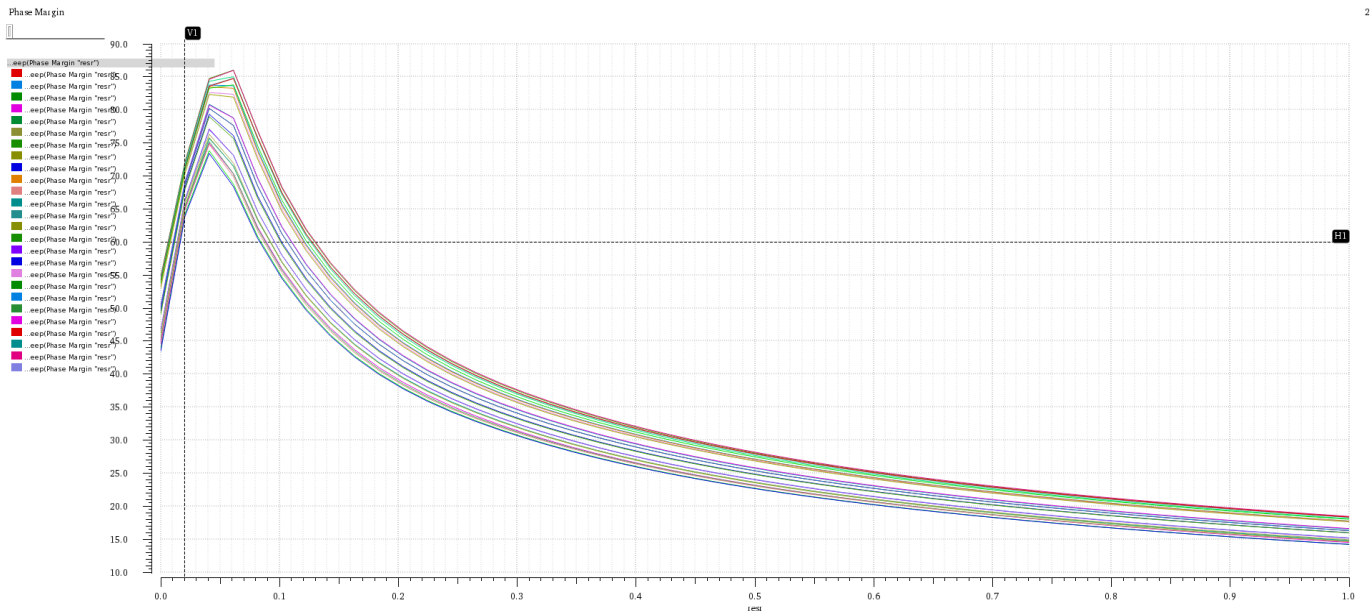


Abbildung 41 Phasenreserve in Abhängigkeit von ESR

Abbildung 41 zeigt, dass die Phasenreserve bei einem R_{ESR} -Wert zwischen $20\text{m}\Omega$ und 80Ω über 60° bleibt. Daher wird der ESR auf den Wert $20\text{m}\Omega$ festgesetzt.

Die Phasenreserve erreicht ihre minimalen Werten bei der Temperatur von -40° . Auf diesem Grund wird die minimale Temperatur in der nächsten Simulation betrachtet. Die Phasenreserve wird zunächst mit dem R_{ESR} in Abhängigkeit von Stromänderung simuliert.

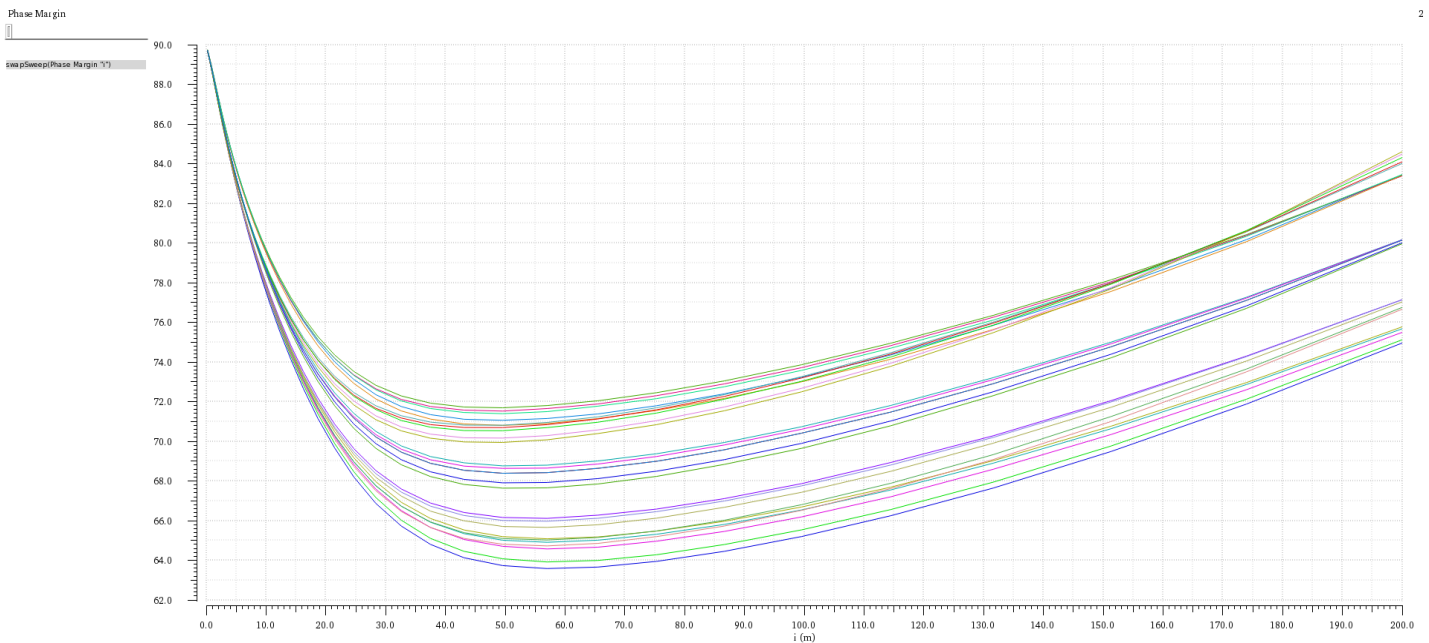


Abbildung 42 Phasenreserve mit $R_{ESR} = 20m\Omega$

Zunächst wird das Bode Diagramm des Frequenzgangs des offenen Regelkreises der LDO-Schaltung erstellt. Das Bode-Diagramm ist ein wichtiger Schritt bei der Bewertung der Stabilität des Reglers. Es stellt die Frequenzantwort des LDOs dar und zeigt, wie er auf verschiedene Eingangsfrequenzen reagiert. Die Untersuchung der Abbildung 43 zeigt, dass im nominellen Arbeitspunkt die Phasenreserve mit über 86° zufriedenstellend ist.

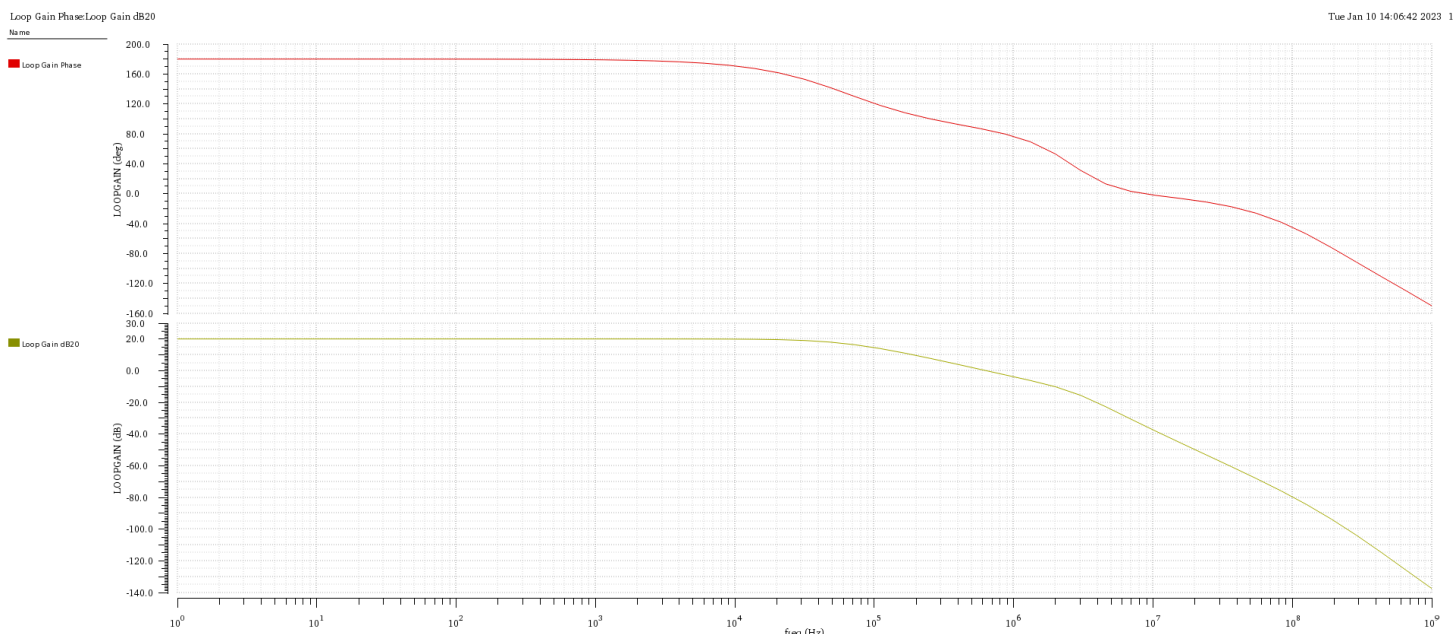


Abbildung 43 Bode Diagramm

8.3 Transienten Analyse

Für die Untersuchung des LDO-Verhaltens auf die plötzlichen Laständerungen, wird eine Transienten Analyse durchgeführt. In der Abbildung 44 ist es zu sehen, dass die Ausgangsspannung maximal um 26mV schwankt.

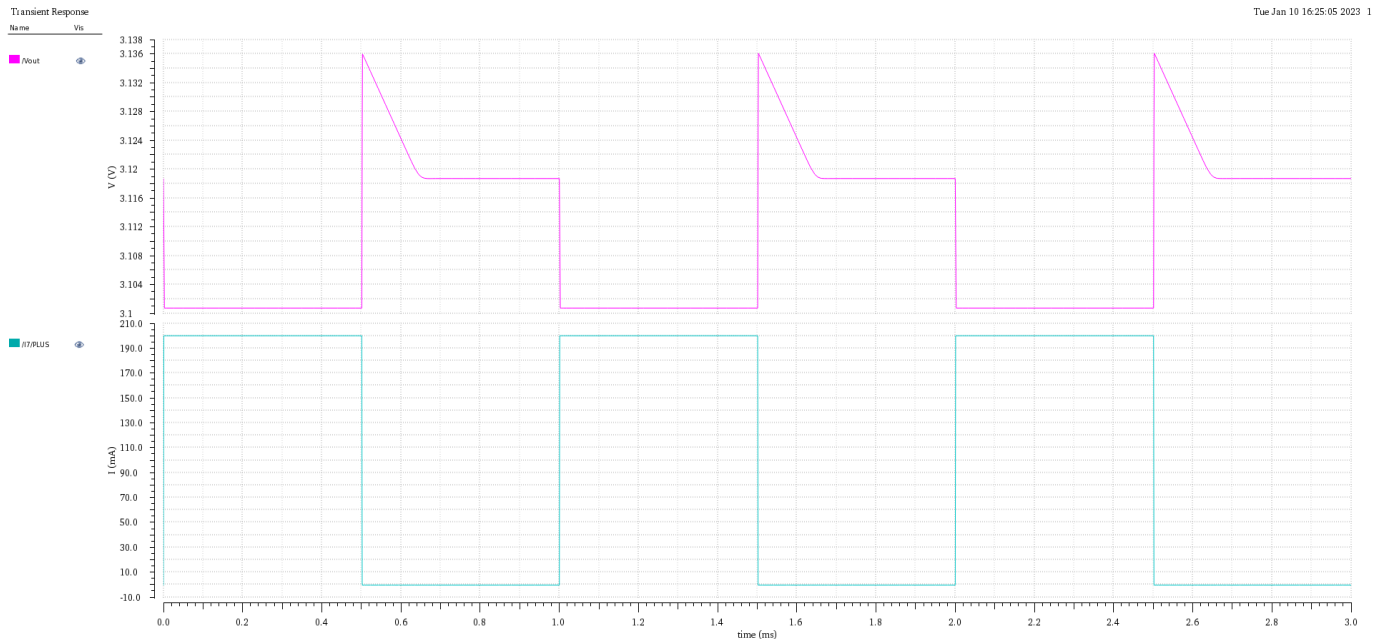


Abbildung 44 Transienten Analyse

Beim Laständerung vom maximalen Strom zum minimalen Strom wird eine kurze Zeitspanne von ungefähr 0.2ms benötigt, bis die Ausgangsspannung seinen stationären Wert erreicht. Dies ist auf den Kondensator zurückzuführen. Der Kondensator hilft dabei, Spannungsabfälle und Störungen aufgrund von Laständerungen zu reduzieren. Wenn die Last des LDOs sich ändert, kann der Kondensator schnell zusätzliche Ladung bereitstellen, um eine stabile Spannung am Ausgang des LDOs zu gewährleisten.

Wenn der Kondensator durch den großen Stromfluss aufgeladen wird, steigt der Spannungsabfall zwischen seinen Platten. Beim Sprung vom maximalen zum minimalen Laststrom fließt ein Strom von den Platten des Kondensators in die Schaltung, um den Strom für die benötigte Ausgangsspannung zu begleichen. Dadurch wird der Kondensator entladen und somit fällt die Spannung an seinen Platten und die Ausgangsspannung stabilisiert sich.

8.4 Monte Carlo Simulation

Die Monte-Carlo-Analyse ist als ein Simulationsverfahren definiert, das anhand eines mathematischen Modells Auftrittswahrscheinlichkeiten ermittelt. Die Methode liefert eine Reihe möglicher Ergebnisse auf der Grundlage von variierenden Parametern, die in der Analyse berücksichtigt werden. Die Methode wurde von einem Wissenschaftler entwickelt, der während des zweiten Weltkriegs an der Entwicklung der Atombombe arbeitete.

Bei der Monte-Carlo-Analyse geht es darum, auf der Grundlage der Verteilung von Faktoren, die das Ergebnis des Prozesses beeinflussen können, vorausschauende situative Ergebnisse zu erzielen. Sie berücksichtigt den maximalen und minimalen Schwellenwert eines jeden Parameters und führt die Simulation nach dem Zufallsprinzip mit verschiedenen Werten durch.

Bei der Monte Carlo Analyse werden verschiedene Arten von Wahrscheinlichkeitsverteilungen verwendet. Sie stellen dar, wie die möglichen Ergebniswerte verteilt sind, und vermitteln ein gutes Bild des Risikos, wenn sie in einem Histogramm Diagramm dargestellt werden. Häufig verwendete Wahrscheinlichkeitsverteilungen sind das Gaußsche und das Uniform-Modell.

Je nach den beteiligten Parametern kann die Durchführung einer Monte-Carlo-Analyse-Simulation Hunderte oder Tausende von Iterationen erfordern. Im Gegensatz zur Ein-Punkt-Analyse vermittelt die Monte-Carlo-Analyse ein besseres Bild davon, welchen Einfluss zufällige Variationen haben können. [14]

Für die Charakterisierung des LDOs werden sowohl lokale als auch globale Variationen berücksichtigt und 200 bzw. 1000 Simulationsdurchläufe festgelegt. Die Monte-Carlo Simulationsmodelle der UMC 180nm Technologie stellen eine Variable Sigma bereit, die bei der Generierung der Bauteilvariationen ausgewertet wird. Die Bauteilvariationen werden in den Simulationsmodellen als Gaußverteilung statistisch beschrieben, wobei der Parameter SIGMA der Standardabweichung der Gaußschen-Glockenkurve entspricht. Die Variable Sigma wird mit 3 gleichgesetzt, wodurch die Werte von bis zu drei 3 Sigma-Abschnitten links und rechts vom Mittelwert der Verteilung bei der Bauteilvariation berücksichtigt werden.

Die Ergebnisse der Monte Carlo Simulation sind in der Abbildung 45 und Abbildung 46 zusehen. Die Standardabweichung beträgt bei der Phasenreserve 7.1°. Bei der Ausgangsspannung beträgt die Standardabweichung 13,2 mV Diese Ergebnisse sind akzeptabel.

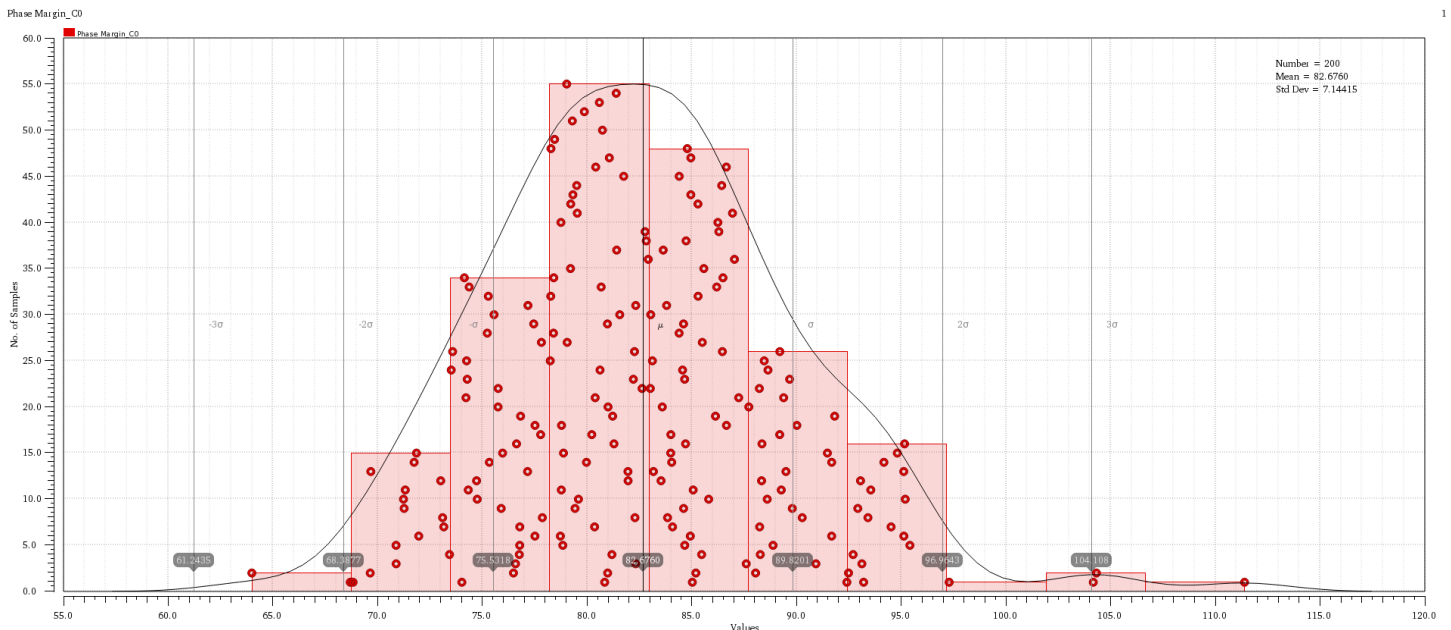


Abbildung 45 Monte Carlo Simulation von Phasenreserve

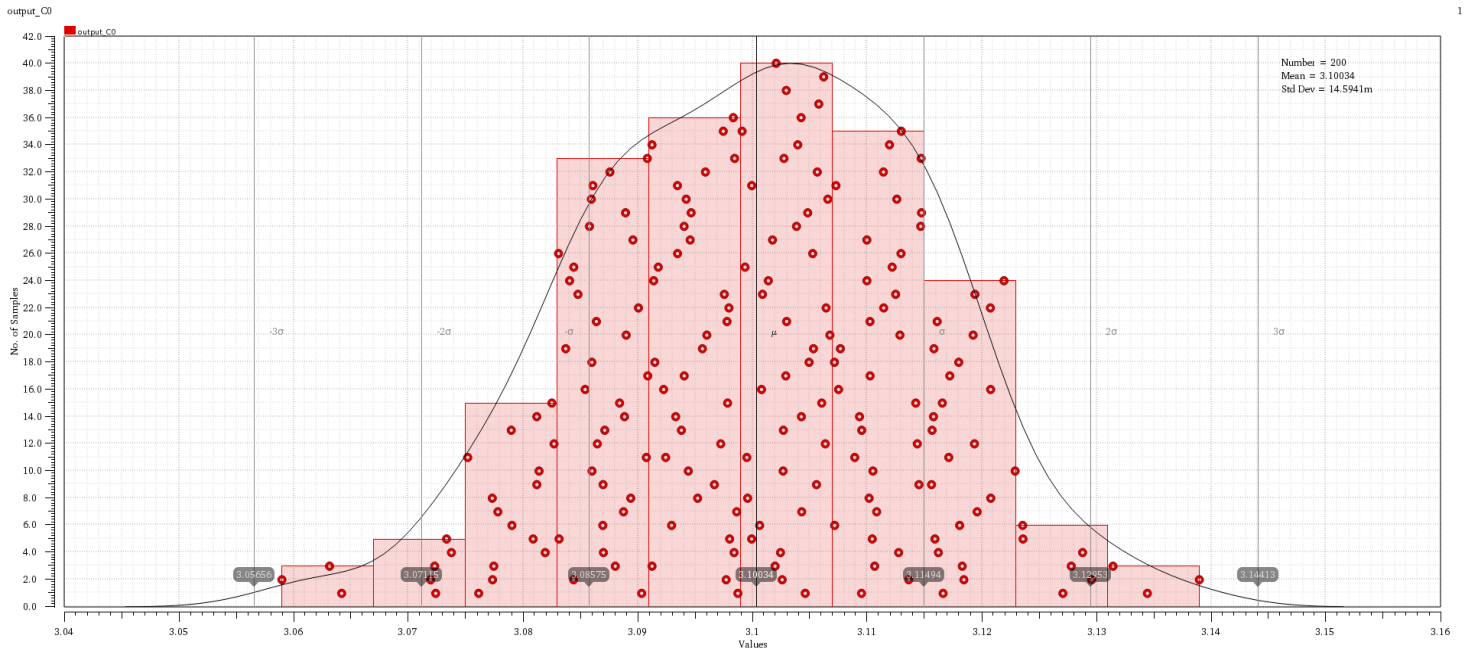


Abbildung 46 Monte Carlo Simulation von Ausgangsspannung

8.5 Zusammenfassung

Die durch das Verilog-A Modell extrahierten Kriterien, werden durch den dimensionierten Verstärker erfüllt. Es wird eine ESR im $m\Omega$ -Bereich benötigt, damit der LDO ein stabiles Verhalten aufweist bzw. eine Phasenreserve über 60° erreicht wird. Allerdings hat die Schwankung der Ausgangsspannung bei Load und Line Regulation im Vergleich zur Verwendung des Verilog-A Verstärkermodells zugenommen. Diese Schwankungen sind aber dennoch akzeptabel und stellen keine Gefahr für die Funktionsweise des LDOs dar.

Die Verstärker Schaltung kann noch durch den Entwurf einer Biasing Schaltung vervollständigt werden, welche die ideale Stromquelle für die Einstellung des Arbeitspunktes ersetzt. Die Integration der Biasing-Schaltung sollte die Arbeitspunkt der aktiven Komponenten nicht beeinflussen. Außerdem kann die Grenzfrequenz verbessert werden. Dies erfolgt durch den Einsatz von Kaskodentransistoren. Durch Kaskodentransistoren kann eine größere Verstärkung bei kürzeren Transistoren Länge erreicht werden. Bei kürzeren Kanälen reduziert sich die Transistorfläche und damit die parasitären Kapazitäten, was dazu führt, die Grenzfrequenz zu erhöhen.

Nach erfolgreicher Dimensionierung kommt im nächsten Schritten das Layout des integrierten Schaltkreises. Das Layout eines integrierten Schaltkreises ist ein wichtiger Schritt im Designprozess und umfasst die Platzierung und Verdrahtung der einzelnen Komponenten des ICs. Cadence Virtuoso ist auch für die Erstellung von Layout geeignet.

9. Fazit

In diesem Projekt wurde ein Low-Dropout-Regler für einen synchronen DC-DC Wandler entworfen. Zunächst wurde der Regler mit einem Verilog-A Modell des Operationsverstärkers entworfen. Nachdem der LDO vollständig aufgebaut und die Parameter des Operationsverstärkers ermittelt worden sind, wurde die OTA-Verstärkerschaltung entworfen.

Der erste Entwurf des OTAs besaß einen zu hohen Ausgangswiderstand. Dies ist auf die Common-Source Schaltung am Ausgang des Verstärkers zurückzuführen. Der Ausgangswiderstand wurde mithilfe eines Source-Follower Buffers verringert.

Nach dem Einsatz des Source-Follower Buffers hat der Opamp den gezielten Parametern erfüllt. Für den Opamp wurde ein Symbol erstellt und in die LDO-Schaltung integriert. Die Stabilität des LDOs wurde in weiteren Schritten überprüft. Ein ESR wurde eingesetzt, um den Regler stabil zu behalten.

Zusammenfassend hat der LDO die Ausgangsspannung bei der Line und Load Regulation im spezifizierten Spannungsbereich gehalten. Auch bei der Monte Carlo Simulation erreicht der LDO eine Standardabweichung, die zu den gesetzten Kriterien gut anpasst.

Insgesamt kann gesagt werden, dass der entworfene Verstärker zu keiner signifikanten Verschlechterungen des Reglerverhaltens im Vergleich zum Verilog-A Verstärkermodell aufweist.

Literaturverzeichnis

- [1] Buss, D. D. (2002). Technology in the Internet age. In IEEE international solid-state circuits conference. Digest of technical papers, San Francisco, CA, pp. 18–21
- [2] <https://www.asphericon.com/anwendungen/halbleiter/herstellung-von-mikrochips>
- [3] <https://www.shiphub.co/worlds-top-semiconductors-producers/>
- [4] https://en.wikipedia.org/wiki/2020%E2%80%93present_global_chip_shortage
- [5] https://en.wikipedia.org/wiki/Power_management_integrated_circuit
- [6] <https://rn-wissen.de/wiki/index.php/Spannungsregler>
- [7] Texas Instruments Application Report SLVA068A–April 1999–Revised August 2018. Fundamental Theory of PMOS Low-Dropout Voltage Regulators
- [8] <https://www.electronics-tutorials.ws/de/transistoren/mosfet.html>
- [9] Texas Instruments Incorporated: “Stability analysis of low-dropout linear regulators with a PMOS pass element” by Everett Rogers Application Specialist, Power Management
- [10] Karagounis, Michael (2017): Kapitel 4::Computer unterstützter Entwurf in der Mikroelektronik, Analog, Massebezogener Verstärker, Fachhochschule Dortmund
- [11] Karagounis, Michael (2017): Kapitel 4::Computer unterstützter Entwurf in der Mikroelektronik, Analog, Source Folger, Fachhochschule Dortmund
- [12] Karagounis, Michael (2017): Kapitel 3:: Computer unterstützter Entwurf in der Mikroelektronik, Analog, Arbeitspunkteinstellung, Fachhochschule Dortmund
- [13] https://www.cadence.com/en_US/home/tools/ic-package-design-and-analysis/ic-package-design-flows/virtuoso-system-design-platform.htm
- [14] A Monte Carlo Simulation in Cadence Virtuoso Step by Step (miscircuitos.com)

Anhang

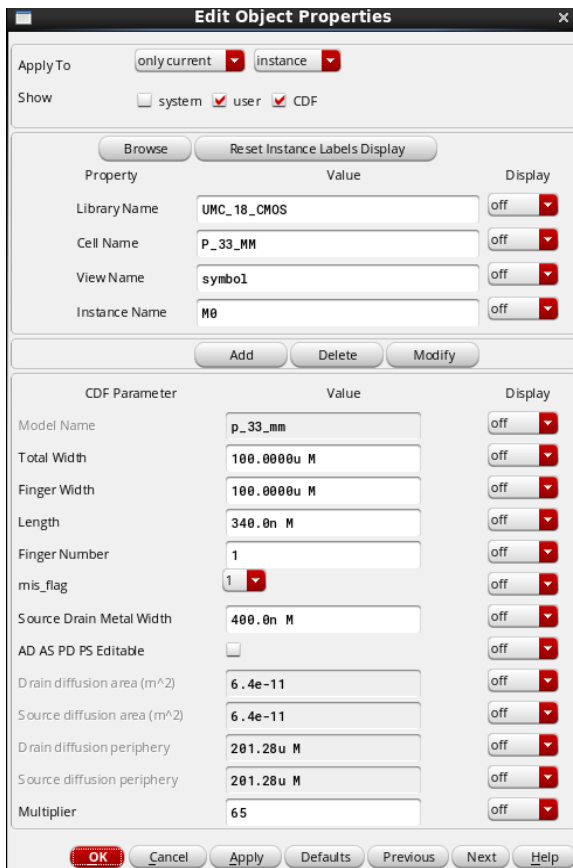


Abbildung 47 Modell des Pass-Elements

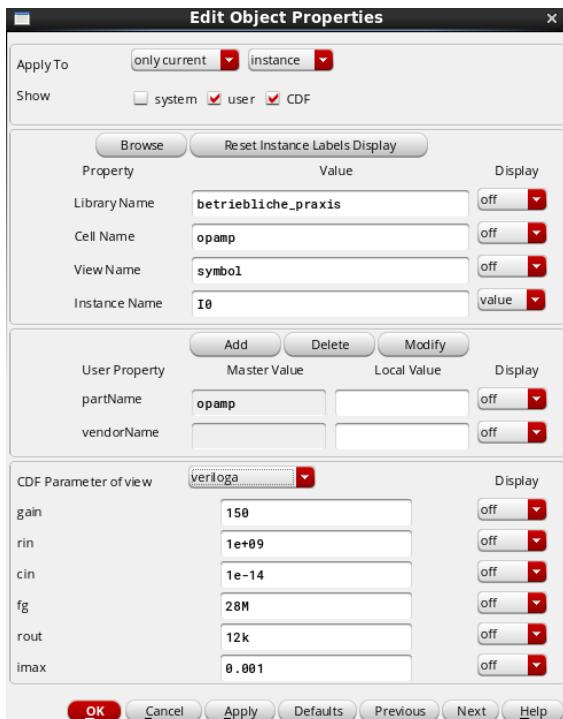


Abbildung 48 Modell des Verilog-A Verstärkers

Geometrie des OTAs

Tabelle 2: Mosfet Geometrie von OTA (cell : Cmos OpampCs)

CMOS	Breite	Länge	Multiplikator
M0/M2	20um	400nm	-
M4/M1	20um	800nm	-
M5/M3	20um	800nm	-
M6/M7	10um	600nm	-
M9	240nm	600nm	-
M8	240nm	600nm	10

Tabelle 3: Mosfet Geometrie von OTA mit Source Follower Buffer (cell : Cmos OpamoSF)

CMOS	Breite	Länge	Multiplikator
M0/M11	20um	800nm	-
M10/M12	20um	800nm	-
M8/M9	20um	400nm	-
M4/M7	10um	600nm	-
M1/M15	20um	400nm	-
M14	60um	500nm	-
M5	240nm	600nm	-
M6	240nm	600nm	10
M7	240nm	600nm	2